

#2

11000 U.S. PTO
09/955118
09/19/01

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): KATSUTANI, Masafumi

Application No.:

Group:

Filed: September 19, 2001

Examiner:

For: DRIVING APPARATUS AND METHOD OF LIQUID CRYSTAL DISPLAY
APPARATUS

L E T T E R

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

September 19, 2001
1248-0554P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

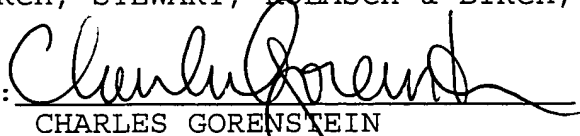
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-300970	09/29/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 

CHARLES GORENSTEIN
Reg. No. 29,271
P. O. Box 747
Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/tf

日 本 国 特 許 庁
JAPAN PATENT OFFICE

7-11-01
BSKB
(703) 205-8000

1248-0554P

10f b

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月29日

出 願 番 号

Application Number:

特願2000-300970

出 願 人

Applicant(s):

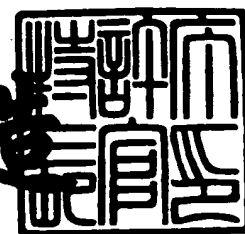
シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月27日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3060761

【書類名】 特許願

【整理番号】 00J03260

【提出日】 平成12年 9月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/36
G02F 1/133

【発明の名称】 液晶表示装置の駆動装置および駆動方法

【請求項の数】 9

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 勝谷 昌史

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置の駆動装置および駆動方法

【特許請求の範囲】

【請求項 1】

同相または逆相の入力信号を増幅する第 1 及び第 2 増幅回路と、

上記 2 つの入力信号を選択的に切り替えて上記の第 1 及び第 2 増幅回路へ入力する第 1 切替回路と、

交流化信号に基づいて上記第 1 及び第 2 増幅回路の出力信号を選択的に切り替えてマトリックス状に配された画素に出力する第 2 切替回路と、

上記第 1 及び第 2 増幅回路によって上記画素に印加されるオフセット電圧が、所定フレーム数毎に極性が切り替えられると共に、上記所定フレーム数の 2 倍のフレームでキャンセルされるように、上記第 1 及び第 2 切替回路をそれぞれ切り替える切替制御回路とを備えている液晶表示装置の駆動装置。

【請求項 2】

上記切替制御回路は、

水平同期信号または 1 水平同期期間毎に出力される信号をカウントし、このカウント値の整数倍が水平ライン数に等しくならないように分周した第 1 切替信号に基づいて上記第 1 切替回路の切り替えを制御すると共に、

上記水平ライン数が偶数か奇数かを識別し、この識別結果と垂直同期信号とに基づいて、上記水平同期信号または 1 水平同期期間毎に出力される信号に同期して変化する第 2 切替信号を生成し、この第 2 切替信号に基づいて上記第 2 切替回路の切り替えを制御することを特徴とする請求項 1 に記載の液晶表示装置の駆動装置。

【請求項 3】

上記切替制御回路は、

上記第 1 切替信号を出力する第 1 分周回路と、

上記の水平同期信号または 1 水平同期期間毎に出力される信号に同期して変化する信号を出力する第 2 分周回路と、

垂直同期信号に同期して変化する信号を出力する第 3 分周回路と、

上記水平ライン数が偶数か奇数かの上記識別結果と、上記第 3 分周回路の出力信号とに対して論理積演算を行う論理積回路と、

上記論理積回路の出力信号と、上記第 2 分周回路の出力信号とに対して排他的論理和演算を行う排他的論理和回路とを備え、該排他的論理和回路から上記第 2 切替信号が生成されることを特徴とする請求項 2 に記載の液晶表示装置の駆動装置。

【請求項 4】

同相または逆相の入力信号を増幅する第 1 及び第 2 増幅回路と、

上記 2 つの入力信号を選択的に切り替えて上記の第 1 及び第 2 増幅回路へ入力する第 1 切替回路と、

交流化信号に基づいて上記第 1 及び第 2 増幅回路の出力信号を選択的に切り替えてマトリックス状に配された画素に出力する第 2 切替回路と、

上記画素に印加されるオフセット電圧が、 m を自然数とすると、 $2m$ 個のフレーム毎に極性が切り替えられると共に、 $4m$ 個のフレームでキャンセルされるように、上記第 1 及び第 2 切替回路をそれぞれ切り替える切替制御回路とを備えている液晶表示装置の駆動装置。

【請求項 5】

上記切替制御回路は、

垂直同期信号を $2m$ 分周した第 3 切替信号に基づいて上記第 1 切替回路の切り替えを制御すると共に、

上記水平ライン数が偶数か奇数かを識別し、この識別結果と垂直同期信号とに基づいて、上記水平同期信号または 1 水平同期期間毎に出力される信号に同期して変化する第 2 切替信号を生成し、この第 2 切替信号に基づいて上記第 2 切替回路の切り替えを制御することを特徴とする請求項 4 に記載の液晶表示装置の駆動装置。

【請求項 6】

上記切替制御回路は、

上記第 3 切替信号を出力する第 4 分周回路と、

上記の水平同期信号または 1 水平同期期間毎に出力される信号に同期して変化

する信号を出力する第 5 分周回路と、

上記水平ライン数が偶数か奇数かの上記識別結果と、上記垂直同期信号に同期して変化する信号とに対して論理積演算を行う論理積回路と、

上記論理積回路の出力信号と、上記第 5 分周回路の出力信号とに対して排他的論理和演算を行う排他的論理和回路とを備え、該排他的論理和回路から上記第 2 切替信号が生成されることを特徴とする請求項 5 に記載の液晶表示装置の駆動装置。

【請求項 7】

第 1 及び第 2 増幅回路を有し、切替信号に基づいて同相入力信号と逆相入力信号を切り替えると共に、交流化信号に基づいて上記増幅回路の出力をそれぞれ切り替えてマトリックス状に配された画素に出力する液晶表示装置の駆動方法であって、

上記画素に印加されるオフセット電圧が、所定フレーム数毎に極性が切り替えられると共に、上記所定フレーム数の 2 倍のフレームでキャンセルされるように、上記切替信号および上記交流化信号を制御することを特徴とする液晶表示装置の駆動方法。

【請求項 8】

上記切替信号および上記交流化信号の制御は、

水平同期信号または 1 水平同期期間毎に出力される信号をカウントし、このカウント値の整数倍が水平ライン数に等しくならないように分周した第 1 切替信号に基づいて上記第 1 切替回路の切り替えを制御すると共に、

上記水平ライン数が偶数か奇数かを識別し、この識別結果と垂直同期信号とに基づいて、上記水平同期信号または 1 水平同期期間毎に出力される信号に同期して変化する第 2 切替信号を生成し、この第 2 切替信号に基づいて上記第 2 切替回路の切り替えを制御することを特徴とする請求項 7 に記載の液晶表示装置の駆動方法。

【請求項 9】

第 1 及び第 2 増幅回路を有し、切替信号に基づいて同相入力信号と逆相入力信号を切り替えると共に、交流化信号に基づいて上記増幅回路の出力をそれぞれ切

り替えてマトリックス状に配された画素に出力する液晶表示装置の駆動方法であって、

上記画素に印加されるオフセット電圧が、 m を自然数とすると、 $2m$ 個のフレーム毎に極性が切り替えられると共に、 $4m$ 個のフレームでキャンセルされるように、上記切替信号および上記交流化信号を制御することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路規模を小さく抑え、回路の消費電力を低減すると共に、製造上のバラツキなどによる偶発的に発生したオフセット電圧の影響を受けない差動増幅回路を備えた液晶表示装置の駆動装置および駆動方法に関するものである。

【0002】

【従来の技術】

図11に、アクティブマトリックス方式の代表例であるTFTを用いた液晶表示装置のブロック構成を示す。3801はTFT液晶パネルを示し、3802は複数のソースドライバを備えたソースドライバICを示し、3803は複数のゲートドライバを備えたゲートドライバICを示し、3804はコントロール回路を示し、3805は液晶駆動電源（電源回路）を示す。

【0003】

上記コントロール回路3804は、ゲートドライバIC3803へ垂直同期信号を送ると共に、ソースドライバIC3802及びゲートドライバIC3803へ水平同期信号を送る。外部から入力された表示データ（ここでは、R、G、Bに分離された各表示データ）は、コントロール回路3804を介してデジタル信号でソースドライバIC3802へ入力される。ソースドライバIC3802は、入力された表示データを時分割で内部にラッチし、その後、コントロール回路3804からの水平同期信号に同期してデジタル／アナログ変換を行い、液晶駆動出力端子から階調表示用のアナログ電圧を出力するようになっている。

【0004】

図 1 2 に、T F T 液晶パネルの構成図を示す。3 9 0 1 は画素電極を示し、3 9 0 2 は画素容量を示し、3 9 0 3 は T F T (スイッチ素子) を示し、3 9 0 4 はソース信号ラインを示し、3 9 0 5 はゲート信号ラインを示し、3 9 0 6 は対向電極を示す。

【 0 0 0 5 】

上記ソース信号ライン 3 9 0 4 には、上記ソースドライバ I C 3 8 0 2 から、表示画素の明るさに応じて変化する階調表示電圧が与えられる。上記ゲート信号ライン 3 9 0 5 には、上記ゲートドライバ I C 3 8 0 3 から、縦方向に配設された T F T 3 9 0 3 が順次オンするように走査信号が与えられる。オン状態の T F T 3 9 0 3 を介して該 T F T のドレインに接続された画素電極 3 9 0 1 にソース信号ライン 3 9 0 4 の電圧が印加され、上記対向電極 3 9 0 6 との間の画素容量 3 9 0 2 に蓄積され、これにより、液晶の光透過率が変化し、該変化に応じた表示が行われる。

【 0 0 0 6 】

図 1 3 及び図 1 4 に液晶駆動波形の一例を示す。4 0 0 1 及び 4 1 0 1 はソースドライバから出力される駆動波形を示し、4 0 0 2 及び 4 1 0 2 はゲートドライバから出力される駆動波形を示し、4 0 0 3 及び 4 1 0 3 は対向電極の電位を示し、4 0 0 4 及び 4 1 0 4 は画素電極の電圧波形を示す。

【 0 0 0 7 】

液晶材料に印加される電圧は、画素電極 3 9 0 1 と対向電極 3 9 0 6 の電位差であり、図中には斜線で示している。液晶パネルは長期信頼性を確保するために、交流で駆動する必要がある。図 1 3 は、上記ソースドライバの出力電圧が対向電極の電圧より高い時に上記ゲートドライバの出力により T F T 3 9 0 3 がオンし、画素電極 3 9 0 1 へ対向電極 3 9 0 6 に対して正極性の電圧が印加され、その後、T F T 3 9 0 3 がオフしてその電位が維持される場合を示している。

【 0 0 0 8 】

一方、図 1 4 は、逆に、上記ソースドライバの出力電圧が対向電極 3 9 0 6 の電圧より低い時に上記ゲートドライバの出力により T F T 3 9 0 3 がオンして、画素電極 3 9 0 1 へ対向電極 3 9 0 6 に対して負極性の電圧が印加され、その後

、TFT 3 9 0 3 がオフしてその電位が維持される場合を示している。このように、図 1 3 の波形電圧と図 1 4 の波形電圧とを交互に印加することで、液晶材料に加わる電圧を交流化して駆動することが可能となる。

【 0 0 0 9 】

図 1 5 に、駆動電圧を交流化する際の、液晶パネル 3 8 0 1 上の交流化の極性配列の一例を示す。これは、ドット反転駆動と呼ばれる方式によるものであり、1 つの表示画面（フレーム）内では正極性と負極性とが上下左右とも交互に配列され、かつ、フレーム毎に極性が反転される。この方法では、ソースドライバ IC 3 8 0 2 においては、例えば奇数番目の出力端子が正極性の電圧を出力している時、偶数番目の出力端子は負極性の電圧を出力しており、逆に、奇数番目の出力端子が負極性の電圧を出力している時、偶数番目の出力端子は正極性の電圧を出力している。

【 0 0 1 0 】

図 1 6 に、ドット反転駆動におけるソースドライバの駆動波形例を示す。図 1 6 中、4 3 0 1 は奇数番目の上記出力端子の出力電圧波形を示し、4 3 0 2 は偶数番目の上記出力端子の出力電圧波形を示し、4 3 0 3 は対向電極 3 9 0 6 の電圧を示す。図 1 6 に示すように、奇数番目の出力端子と偶数番目の出力端子とにおいては、常に対向電極 3 9 0 6 に対して逆の極性の電圧が出力される。

【 0 0 1 1 】

図 1 7 は、上記ソースドライバ IC 3 8 0 2 の構成を示すブロック図の一例を示す。ここでは、関連するソースドライバのみ説明する。ゲートドライバは公知のものを使用するので、ここでは、説明を省略する。入力されたデジタル信号の表示データ（R、G、B）は、シフトレジスタ 4 4 0 3 の動作に基づいて時分割でサンプリングメモリ 4 4 0 4 に記憶され、その後、水平同期信号でホールドメモリ 4 4 0 5 に一括転送される。上記シフトレジスタ 4 4 0 3 は、スタートパルス及びクロック（CK）に基づいて動作するようになっている。上記ホールドメモリ 4 4 0 5 のデータは、レベルシフタ回路 4 4 0 6 を介して D/A 変換回路 4 4 0 7 でアナログ電圧に変換され、出力回路 4 4 0 8 により、液晶駆動出力端子を介して階調表示駆動電圧（液晶駆動電圧）として出力される。なおホールドメ

モリ 4 4 0 5 により 1 水平同期期間、表示データは、ラッチされ維持されている。そして、次の水平同期新により新たな表示データが取り込まれ、ラッチされる。

【 0 0 1 2 】

図 1 8 (a) および図 1 8 (b) に、従来の技術 (第 1 従来技術) に係るドット反転駆動を行うソースドライバ I C の出力回路のブロック構成図とその動作の一例とを示す。図 1 8 (a) および図 1 8 (b) には、図 1 7 の内、4 4 0 5、4 4 0 7、4 4 0 8 で示される各ブロックのみを、2 出力端子分の回路として示している。

【 0 0 1 3 】

図 1 8 (a) および図 1 8 (b) において、4 5 0 1 は奇数番目の出力端子を駆動する出力回路でオペアンプを使用したボルテージフォロウを示し、4 5 0 2 は偶数番目の出力端子を駆動する出力回路で 4 5 0 1 と同じオペアンプを使用したボルテージフォロウを示し、4 5 0 3、4 5 0 4、4 5 0 5、及び 4 5 0 6 は液晶駆動出力の出力電圧極性を切り替える出力交流化スイッチをそれぞれ示し、4 5 0 7 は正極性電圧のデジタル／アナログ変換を行う D／A 変換回路を示し、4 5 0 8 は負極性電圧のデジタル／アナログ変換を行う D／A 変換回路を示し、4 5 0 9 及び 4 5 1 0 は表示データを保持するホールドメモリをそれぞれ示し、4 5 1 1 は奇数番目の出力端子を示し、4 5 1 2 は偶数番目の出力端子を示す。また、オペアンプ 4 5 0 1 の内部の 4 5 1 3 及び 4 5 0 2 内部の 4 5 1 4 は N チャンネル MOS 入力 of オペアンプを示し、オペアンプ 4 5 0 1 の内部の 4 5 1 5 及び 4 5 0 2 内部の 4 5 1 6 は P チャンネル MOS 入力 of オペアンプを示す。

【 0 0 1 4 】

上記構成を有する回路による液晶駆動波形の交流化について説明すると、以下の通りである。

【 0 0 1 5 】

上記出力交流化スイッチ 4 5 0 3 から 4 5 0 6 が図 1 8 (a) の状態にあるとき、上記ホールドメモリ 4 5 0 9 に記憶されている奇数番目の出力端子 4 5 1 1 の表示データは、正極性の D／A 変換回路 4 5 0 7 へ入力され、D／A 変換後の

アナログ電圧は、ボルテージフォロワ 4 5 0 1 を介して奇数番目の出力端子 4 5 1 1 から液晶パネル 3 8 0 1 へ出力される。この時の出力電圧は、正極性の液晶駆動電圧となる。

【 0 0 1 6 】

これに対して、出力交流化スイッチ 4 5 0 3 乃至 4 5 0 6 が図 1 8 (b) の状態にあるとき、ホールドメモリ 4 5 0 9 に記憶されている奇数番目の出力端子 4 5 1 1 の表示データは、負極性の D / A 変換回路 4 5 0 8 に入力され、D / A 変換後のアナログ電圧は、ボルテージフォロワ 4 5 0 1 を介して奇数番目の出力端子 4 5 1 1 から液晶パネルへ出力される。この時の出力電圧は、負極性の駆動電圧となる。

【 0 0 1 7 】

偶数番目の出力端子 4 5 1 2 の駆動電圧の極性は、奇数番目の出力端子 4 5 1 1 と逆になる。すなわち、出力交流化スイッチ 4 5 0 3 から 4 5 0 6 が図 1 8 (a) の状態にあるとき、ホールドメモリ 4 5 1 0 に記憶されている偶数番目の出力端子 4 5 1 2 の表示データは、負極性の D / A 変換回路 4 5 0 8 に入力され、D / A 変換後のアナログ電圧は、ボルテージフォロワ 4 5 0 2 を介して偶数番目の出力端子 4 5 1 2 から液晶パネルへ出力される。この時の出力電圧は、負極性の液晶駆動電圧となる。

【 0 0 1 8 】

一方、出力交流化スイッチ 4 5 0 3 から 4 5 0 6 が図 1 8 (b) の状態にあるとき、ホールドメモリ 4 5 1 0 に記憶されている偶数番目の出力端子の表示データは、正極性の D / A 変換回路 4 5 0 7 に入力され、D / A 変換後のアナログ電圧は、ボルテージフォロワ 4 5 0 2 を介して偶数番目の出力端子 4 5 1 2 より液晶パネルに出力される。この時の出力電圧は、正極性の液晶駆動電圧となる。図 1 8 (a) および図 1 8 (b) には、以上の動作のうち、奇数番目の出力端子の信号の流れのみを示す。このように、図 1 8 (a) の状態と、図 1 8 (b) の状態とを出力交流化スイッチ 4 5 0 3 から 4 5 0 6 を用いてフレイム反転で交互に切り替えることにより、液晶パネル 3 8 0 1 を駆動するために必要な駆動波形の交流化を行っている。

【0019】

図18(a)および図18(b)の回路構成において、1つの出力端子は、正極性電圧の出力の場合も負極性電圧の出力の場合も、常に同じオペアンプ回路で駆動される。一般に、液晶駆動回路の出力端子の重要な機能として、動作電源電圧フルレンジの出力ダイナミックレンジが要求される。通常のLSIで使用されるエンハンスメント型のMOSトランジスタを使用することを想定すると、その閾値電圧による動作不可領域をなくすために、図18(a)および図18(b)に示すように、NチャンネルMOSトランジスタ入力のおペアンプ4513とPチャンネルMOSトランジスタ入力のおペアンプ4515の両方を1つの出力回路4501内に持たなければならない。このため回路規模が大きくなり、LSI化した場合のチップサイズの増大を招く。更に、オペアンプが1出力当り2回路有るために、回路の消費電力が大きくなる。

【0020】

図19(a)および図19(b)に、他の従来技術(第2従来技術)に係るドット反転駆動を行うソースドライバICの出力回路のブロック構成図とその動作の例を示す。図19(a)および図19(b)には、図17の内、4405、4407、4408で示される各ブロックのみを、2出力端子分の回路として示している。

【0021】

図19(a)および図19(b)において、4601はNチャンネルMOSトランジスタ入力のおペアンプを使用したボルテージフォロワを示し、4602はPチャンネルMOSトランジスタ入力のおペアンプを使用したボルテージフォロワを示し、4603、4604、4605、及び4606は液晶駆動出力の出力電圧極性を切り替える出力交流化スイッチを示し、4607は正極性のデジタル／アナログ変換を行うD／A変換回路を示し、4608は負極性のデジタル／アナログ変換を行うD／A変換回路を示し、4609及び4610は表示データを保持するホールドメモリを示し、4611は奇数番目の出力端子を示し、4612は偶数番目の出力端子を示す。

【0022】

図 1 9 (a) および図 1 9 (b) の出力電圧の交流化は、図 1 8 (a) および図 1 8 (b) の場合と同じく出力交流化スイッチ 4 6 0 3 から 4 6 0 6 によって行われる。図 1 8 (a) および図 1 8 (b) の場合と異なるのは、正極性用の D / A 変換回路 4 6 0 7 の出力は直接 N チャンネル MOS トランジスタ入力のおペアンプ 4 6 0 1 へ送られ、負極性用の D / A 変換回路 4 6 0 8 の出力は直接 P チャンネル MOS トランジスタ入力のおペアンプ 4 6 0 2 へ送られ、各々のオペアンプの出力が、スイッチ 4 6 0 3 及び 4 6 0 4 を介して所望の出力端子へ送られる点である。

【 0 0 2 3 】

ここでは、正極性用の D / A 変換回路 4 6 0 7 は、動作電源電圧の約 2 分の 1 以上の電圧のみを出力するため、オペアンプとして N チャンネル入力の回路のみで十分であり、同様に、負極性用の D / A 変換回路 4 6 0 8 は、動作電源電圧の約 2 分の 1 以下の電圧のみを出力するため、オペアンプとして P チャンネル入力の回路のみで十分である。図 1 9 (a) および図 1 9 (b) の構成では、図 1 8 (a) および図 1 8 (b) の構成に対して、オペアンプ回路が出力端子当り半分ですむため、チップサイズの低減と低消費電力化が図れる。

【 0 0 2 4 】

しかしながら、図 1 9 (a) および図 1 9 (b) の構成は、1 つの出力を駆動するオペアンプ回路が正極性の場合と負極性の場合とで異なっている。すなわち、図 1 9 (a) および図 1 9 (b) の液晶駆動出力端子は、正極性電圧を出力する時はオペアンプ 4 6 0 1 で駆動される (図 1 9 (a) 参照) 一方、負極性電圧を出力する時はオペアンプ 4 6 0 2 で駆動される (図 1 9 (b) 参照) 。ここで、オペアンプ 4 6 0 1 とオペアンプ 4 6 0 2 とが、製造上のバラツキなどによる偶発的に発生するオフセット電圧を持っている場合を以下に説明する。

【 0 0 2 5 】

オペアンプ 4 6 0 1 が偶発的に発生するオフセット電圧 A を持ち、オペアンプ 4 6 0 2 が偶発的に発生するオフセット電圧 B を持つ場合の液晶駆動電圧波形を図 2 0 に示す。図 2 0 において、正極性電圧を出力する時と負極性電圧を出力する時とでは、期待値電圧からの偏差がそれぞれ異なる。したがって、液晶表示画

素に印加される駆動電圧の平均電圧には、2つの偏差の差の成分 ($= (A - B) / 2$) が、誤差電圧として残留する。この誤差電圧は、駆動出力端子毎に偶発的に発生するものであるから、液晶表示装置の画素間での印加電圧の差となり、結果として表示むらが発生することになる。

【 0 0 2 6 】

比較のために、図 2 1 に、図 1 8 (a) および図 1 8 (b) の構成の場合の液晶駆動電圧波形を示す。図 1 8 (a) および図 1 8 (b) の構成では、正極性電圧、負極性電圧ともに 1 つの出力回路で駆動されるため、いずれの場合も期待値電圧からの偏差は同じである。この偏差は、画素に印加される電圧としては、正極性の場合と負極性の場合で互いに打ち消し合う方向である。したがって、図 1 8 (a) および図 1 8 (b) の構成では、液晶駆動出力端子間の偏差のバラツキは、表示画素で平均化されることになり、表示上の問題にはならない。

【 0 0 2 7 】

上記第 2 従来技術 (図 1 9 参照) の場合、すなわち、正極性電圧と負極性電圧を別々のオペアンプ回路から出力する場合に対して、更なる回路規模の削減、及び消費電力の低減を実現した第 3 従来技術 (例えば、特開平 1 1 - 3 0 5 7 3 5 号公報を参照) が知られている。この第 3 従来技術について、図 2 2 を参照しながら説明すると以下のとおりである。

【 0 0 2 8 】

図 2 2 に、上記第 3 従来技術に係る差動増幅回路の構成例を示す。なお、図 2 2 は、N チャンネル MOS トランジスタを入力トランジスタとして使用した場合を示すものである。

【 0 0 2 9 】

図 2 2 において、1 0 1 及び 1 0 2 は N チャンネル MOS による入力トランジスタをそれぞれ示し、1 0 3 は上記差動増幅回路に動作電流を与える定電流源を示し、1 0 4 は上記入力トランジスタ 1 0 1 の負荷抵抗 (抵抗素子) を示し、1 0 5 は上記入力トランジスタ 1 0 2 の負荷抵抗 (抵抗素子) を示し、1 0 6 及び 1 0 7 は入力信号を切り替えるスイッチをそれぞれ示し、1 0 8 及び 1 0 9 は出力信号を切り替えるスイッチをそれぞれ示し、1 1 0 は同相入力端子を示し、1

1 1 は逆相入力端子を示し、1 1 2 は同相出力端子を示し、1 1 3 は逆相出力端子を示し、1 1 4 は上記スイッチ 1 0 6 から 1 0 9 を同時に切り替える切替信号入力端子を示す。

【 0 0 3 0 】

上記入力トランジスタ 1 0 1 及び上記負荷抵抗 1 0 4 と、上記入力トランジスタ 1 0 2 及び上記負荷抵抗 1 0 5 とは増幅回路を構成し、トランジスタ 1 0 1 と 1 0 2 は差動対を構成する。また、スイッチ 1 0 6 から 1 0 9 は、切替信号 1 1 4 により連動して制御される。

【 0 0 3 1 】

図 2 3 は、図 2 2 の回路の 1 つの動作状態を示す。図 2 4 は、図 2 2 の回路の他の動作状態を示す。以下に、図 2 3 及び図 2 4 を参照しながら、上記差動増幅回路の動作を説明する。

【 0 0 3 2 】

図 2 3 に示す状態では、同相入力端子 1 1 0 はスイッチ 1 0 6 を介して入力トランジスタ 1 0 1 のゲートに接続され、そのドレインに接続された負荷抵抗 1 0 4 の働きで、スイッチ 1 0 9 を介して逆相出力信号として逆相出力端子 1 1 3 から出力される。一方、逆相入力端子 1 1 1 はスイッチ 1 0 7 を介して入力トランジスタ 1 0 2 のゲートに接続され、そのドレインに接続された負荷抵抗 1 0 5 の働きで、スイッチ 1 0 8 を介して同相出力信号として同相出力端子 1 1 2 から出力される。つまり、同相入力信号は、入力トランジスタ 1 0 1 及び負荷抵抗 1 0 4 で増幅される一方、逆相入力信号は、入力トランジスタ 1 0 2 及び負荷抵抗 1 0 5 で増幅される。

【 0 0 3 3 】

一方、図 2 4 に示す状態では、同相入力端子 1 1 0 はスイッチ 1 0 7 を介して入力トランジスタ 1 0 2 のゲートに接続され、そのドレインに接続された負荷抵抗 1 0 5 の働きで、スイッチ 1 0 9 を介して逆相出力信号として逆相出力端子 1 1 3 より出力される。また、逆相入力端子 1 1 1 はスイッチ 1 0 6 を介して入力トランジスタ 1 0 1 のゲートに接続され、そのドレインに接続された負荷抵抗 1 0 4 の働きで、スイッチ 1 0 8 を介して同相出力信号として同相出力端子 1 1 2

より出力される。つまり、同相入力信号は、入力トランジスタ 1 0 2 及び負荷抵抗 1 0 5 で増幅される一方、逆相入力信号は、入力トランジスタ 1 0 1 及び負荷抵抗 1 0 4 で増幅される。

【 0 0 3 4 】

以上のように、図 2 3 に示す状態と図 2 4 に示す状態とでは、同相入力信号の増幅回路と逆相入力信号の増幅回路とを、完全に入れ替えて使用している。

【 0 0 3 5 】

ここで、差動増幅回路を構成する入力トランジスタ 1 0 1 と 1 0 2 の間において、及び／又は負荷抵抗 1 0 4 と 1 0 5 の間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合について、図 2 5 及び図 2 6 を参照しながら、以下に説明する。

【 0 0 3 6 】

本来同じ特性を持つべき差動増幅回路の 2 つの素子において差が生じた場合、出力電圧が理想的な状態からずれてしまい、オフセットを持つ。このずれは、入力端子の一方に定電圧源を接続したものとしてモデル化できる。この様子を図 2 5、及び図 2 6 に示す。図 2 5 及び図 2 6 に示す 1 1 5 は、上記差動増幅回路のオフセットを 1 つの定電圧源でモデル化したものである。なお、図 2 5 に示すスイッチ素子は図 2 3 に示す状態と同一であり、図 2 6 に示すスイッチ素子は図 2 4 に示す状態と同一である。

【 0 0 3 7 】

図 2 5 においては、定電圧源 1 1 5 は、スイッチ 1 0 7 を介して逆相入力端子 1 1 1 と接続されている。一方、図 2 6 においては、定電圧源 1 1 5 は、スイッチ 1 0 7 を介して同相入力端子 1 1 0 と接続されている。このように、本差動増幅回路は、スイッチ 1 0 6 から 1 0 9 を使用しているので、差動増幅回路の偶発的に発生するバラツキによるオフセットを、逆相入力端子 1 1 1 側に入れた状態と、同相入力端子 1 1 0 側に入れた状態とで切り替えることができる。これら 2 つの状態では、同相出力端子 1 1 0 及び逆相出力端子 1 1 1 に現れるオフセットは、符号が逆で絶対値が等しい状態となる。

【 0 0 3 8 】

以上より、オペアンプが製造上のバラツキなどによる偶発的に発生するオフセット電圧を持っている場合、正極性のオフセット電圧を出力する場合と負極性のオフセット電圧を出力する場合とでは、期待値電圧からの偏差が等しくなるので、液晶表示画素に印加される駆動電圧の平均電圧には、2つの偏差の差の成分が誤差電圧として残留することがなくなり、したがって、上記オペアンプを液晶駆動回路に使用した場合、液晶表示装置の画素間での印加電圧に差となって生じず、表示むらを確実に回避できる。

【 0 0 3 9 】

図 2 7 に、差動増幅回路の P チャンネル MOS トランジスタを入力トランジスタに使用した場合を示すものである。

【 0 0 4 0 】

図 2 7 において、6 0 1 及び 6 0 2 は P チャンネル MOS による入力トランジスタをそれぞれ示し、6 0 3 は本差動増幅回路に動作電流を与える定電流源を示し、6 0 4 は入力トランジスタ 6 0 1 の負荷抵抗（抵抗素子）を示し、6 0 5 は入力トランジスタ 6 0 2 の負荷抵抗（抵抗素子）を示し、6 0 6 及び 6 0 7 は入力信号を切り替えるスイッチをそれぞれ示し、6 0 8 及び 6 0 9 は出力信号を切り替えるスイッチをそれぞれ示し、6 1 0 は同相入力端子を示し、6 1 1 は逆相入力端子を示し、6 1 2 は同相出力端子を示し、6 1 3 は逆相出力端子を示し、6 1 4 はスイッチ 6 0 6 乃至 6 0 9 を同時に切り替える信号を入力するための切替信号入力端子を示す。

【 0 0 4 1 】

図 2 7 の動作を図 2 8 及び図 2 9 を用いて説明すると以下のとおりである。

【 0 0 4 2 】

図 2 8 に示す状態では、同相入力端子 6 1 0 はスイッチ 6 0 6 を介して入力トランジスタ 6 0 1 のゲートに接続され、そのドレインに接続された負荷抵抗 6 0 4 の働きで、スイッチ 6 0 9 を介して逆相出力信号として逆相出力端子 6 1 3 から出力される。一方、逆相入力端子 6 1 1 はスイッチ 6 0 7 を介して入力トランジスタ 6 0 2 のゲートに接続され、そのドレインに接続された負荷抵抗 6 0 5 の働きで、スイッチ 6 0 8 を介して同相出力信号として同相出力端子 6 1 2 から出

力される。つまり、同相入力信号は、入力トランジスタ 6 0 1 及び負荷抵抗 6 0 4 で増幅される一方、逆相入力信号は、入力トランジスタ 6 0 2 及び負荷抵抗 6 0 5 で増幅される。

【 0 0 4 3 】

一方、図 2 9 に示す状態では、同相入力端子 6 1 0 はスイッチ 6 0 7 を介して入力トランジスタ 6 0 2 のゲートに接続され、そのドレインに接続された負荷抵抗 6 0 5 の働きで、スイッチ 6 0 9 を介して逆相出力信号として逆相出力端子 6 1 3 より出力される。また、逆相入力端子 6 1 1 はスイッチ 6 0 6 を介して入力トランジスタ 6 0 1 のゲートに接続され、そのドレインに接続された負荷抵抗 6 0 4 の働きで、スイッチ 6 0 8 を介して同相出力信号として同相出力端子 6 1 2 より出力される。つまり、同相入力信号は、入力トランジスタ 6 0 2 及び負荷抵抗 6 0 5 で増幅される一方、逆相入力信号は、入力トランジスタ 6 0 1 及び負荷抵抗 6 0 4 で増幅される。

【 0 0 4 4 】

以上の様に、図 2 8 に示す状態と図 2 9 に示す状態とでは、同相入力信号の増幅回路と逆相入力信号の増幅回路とを、完全に入れ替えて使用している。

【 0 0 4 5 】

ここで、差動増幅回路を構成する入力トランジスタ 6 0 1 と 6 0 2 の間において、及び／又は負荷抵抗 6 0 4 と 6 0 5 の間において、及び／又は負荷抵抗 6 0 4 と 6 0 5 の間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合について、図 3 0 及び図 3 1 を参照しながら、以下に説明する。

【 0 0 4 6 】

本来同じ特性を持つべき差動増幅回路の 2 つの素子において差が生じた場合、出力電圧が理想的な状態からずれてしまい、オフセットを持つ。このずれは、入力端子の一方に定電圧源を接続したものとしてモデル化できる。この様子を図 3 0、及び図 3 1 に示す。図 3 0、及び図 3 1 に示す 6 1 5 は、上記差動増幅回路のオフセットを 1 つの定電圧源でモデル化したものである。なお、図 3 0 に示すスイッチ素子は図 2 8 に示す状態と同一であり、図 3 1 に示すスイッチ素子は図

29に示す状態と同一である。

【0047】

図30においては、定電圧源615は、スイッチ607を介して逆相入力端子611と接続されている。一方、図31においては、定電圧源615は、スイッチ607を介して同相入力端子610と接続されている。このように、本差動増幅回路は、スイッチ606から609を使用しているため、差動増幅回路の偶発的に発生するバラツキによるオフセットを、逆相入力端子611側に入れた状態と、同相入力端子610側に入れた状態とで切り替えることができる。これら2つの状態では、同相出力端子610及び逆相出力端子611に現れるオフセットは、符号が逆で絶対値が等しい状態となる。

【0048】

以上より、オペアンプが製造上のバラツキなどにより偶発的に発生するオフセット電圧を持っている場合でも、正極性のオフセット電圧を出力する場合と負極性のオフセット電圧を出力する場合とでは、期待値電圧からの偏差が等しくなるので、液晶表示画素に印加される駆動電圧の平均電圧には、2つの偏差の差の成分が誤差電圧として残留することがなくなり、したがって、上記オペアンプを液晶駆動回路に使用した場合、液晶表示装置の画素間での印加電圧に差となって生じず、表示むらを確実に回避できる。

【0049】

図32に、図22の差動増幅回路の負荷素子をカレントミラー構成の能動負荷に変えた回路構成を示す。図32は、NチャンネルMOSトランジスタを入力トランジスタとして使用した場合を示すものである。

【0050】

図32において、1101及び1102はNチャンネルMOSによる入力トランジスタをそれぞれ示し、1103は本回路に動作電流を与える定電流源を示し、1104は入力トランジスタ1101の負荷となるPチャンネルMOSによる負荷トランジスタを示し、1105は入力トランジスタ1102の負荷となるPチャンネルMOSによる負荷トランジスタを示し、1106及び1107は入力信号を切り替えるスイッチをそれぞれ示し、1108及び1109は出力信号を

切り替えるスイッチをそれぞれ示し、1110は同相入力端子を示し、1111は逆相入力端子を示し、1112は同相出力端子を示し、1113は逆相出力端子を示し、1114はスイッチ1106～1109を同時に切り替える信号を入力するための切替信号入力端子を示す。

【0051】

上記差動増幅回路は、負荷素子がトランジスタによるカレントミラー構成の能動負荷である点において、図22の構成例（受動負荷）と異なっている。図23に対応する状態においては、同相入力信号は、入力トランジスタ1101及び負荷トランジスタ1104で増幅される一方、逆相入力信号は、入力トランジスタ1102及び負荷トランジスタ1105で増幅される。これに対して、図24に対応する状態においては、同相入力信号は、入力トランジスタ1102及び負荷トランジスタ1105で増幅される一方、逆相入力信号は、入力トランジスタ1101及び負荷トランジスタ1104で増幅される。

【0052】

以上、何れの場合でも、上記負荷トランジスタ1104及び1105は、互いに、カレントミラー構成となっているので、たとえ両負荷トランジスタに特性のバラツキがあっても、負荷トランジスタ1104及び1105に流れる電流は常に等しくなり、この結果、同相入力信号及び逆相入力信号は同じ増幅度で増幅されることになり、左右対称な出力波形が得られることになる。

【0053】

以上のように、図32に示す構成を有する差動増幅回路でも、同相入力信号の増幅回路と逆相入力信号の増幅回路とを、完全に入れ替えて使用することができる。

【0054】

また、上記差動増幅回路を構成する入力トランジスタ1101と1102の間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合でも、詳細には説明しないが、図22と同様の構成を有している。したがって、本差動増幅回路においては、スイッチ1106乃至1109を使用しているので、差動増幅回路の偶発的に発生するバラツキによるオフセットを、逆相入力端

子 1 1 1 1 側に入れた状態と、同相入力端子 1 1 1 0 側に入れた状態とで切り替えることができる。これら 2 つの状態では、同相出力端子 1 1 1 0 及び逆相出力端子 1 1 1 1 に現れるオフセットは、符号が互いに逆で絶対値が等しい状態となる。

【 0 0 5 5 】

以上より、オペアンプが製造上のバラツキなどにより偶発的に発生するオフセット電圧を持っている場合、正極性のオフセット電圧を出力する場合と負極性のオフセット電圧を出力する場合とでは、期待値電圧からの偏差が等しくなるので、液晶表示画素に印加される駆動電圧の平均電圧には、2 つの偏差の差の成分が誤差電圧として残留することがなくなり、したがって、上記オペアンプを液晶駆動回路に使用した場合、液晶表示装置の画素間での印加電圧に差となって生じず、表示むらを確実に回避できる。

【 0 0 5 6 】

図 3 3 に、図 2 7 の差動増幅回路の負荷素子をカレントミラー構成の能動負荷に変えた回路構成を示す。図 3 3 は、P チャンネル MOS トランジスタを入力トランジスタとして使用した場合を示すものである。

【 0 0 5 7 】

図 3 3 において、1 2 0 1 及び 1 2 0 2 は P チャンネル MOS による入力トランジスタをそれぞれ示し、1 2 0 3 は本回路に動作電流を与える定電流源を示し、1 2 0 4 は入力トランジスタ 1 2 0 1 の負荷となる N チャンネル MOS による負荷トランジスタを示し、1 2 0 5 は入力トランジスタ 1 2 0 2 の負荷となる N チャンネル MOS による負荷トランジスタを示し、1 2 0 6 及び 1 2 0 7 は入力信号を切り替えるスイッチをそれぞれ示し、1 2 0 8 及び 1 2 0 9 は出力信号を切り替えるスイッチをそれぞれ示し、1 2 1 0 は同相入力端子を示し、1 2 1 1 は逆相入力端子を示し、1 2 1 2 は同相出力端子を示し、1 2 1 3 は逆相出力端子を示し、1 2 1 4 はスイッチ 1 2 0 6 ~ 1 2 0 9 を同時に切り替える信号を入力するための切替信号入力端子を示す。

【 0 0 5 8 】

図 3 3 の構成は、負荷素子がトランジスタによるカレントミラー構成の能動負

荷である点において、図 27 の構成（受動負荷）と異なっている。図 28 に対応する状態においては、同相入力信号は、入力トランジスタ 1201 及び負荷トランジスタ 1204 で増幅される一方、逆相入力信号は、入力トランジスタ 1202 及び負荷抵抗 1205 で増幅される。これに対して、図 29 に対応する状態においては、同相入力信号は、入力トランジスタ 1202 及び負荷トランジスタ 1205 で増幅される一方、逆相入力信号は、入力トランジスタ 1201 及び負荷トランジスタ 1204 で増幅される。

【0059】

以上、何れの場合でも、上記負荷トランジスタ 1204 及び 1205 は、互いに、カレントミラー構成となっているので、両負荷トランジスタに特性のバラツキがあっても、負荷トランジスタ 1204 及び 1205 に流れる電流は常に等しくなり、この結果、同相入力信号及び逆相入力信号は同じ増幅度で増幅されることになり、左右対称な出力波形が得られることになる。

【0060】

以上の様に、図 33 に示す構成を有する差動増幅回路でも、同相入力信号の増幅回路と逆相入力信号の増幅回路とを、完全に入れ替えて使用している。

【0061】

また、上記差動増幅回路を構成する入力トランジスタ 1201 と 1202 の間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合でも、詳細には説明しないが、図 27 と同様の構成を有している。したがって、上記差動増幅回路においては、スイッチ 1206～1209 を使用しているので、差動増幅回路の偶発的なバラツキによるオフセットを、逆相入力端子 1211 側に入れた状態と、同相入力端子 1210 側に入れた状態とで切り替えることができる。これら 2 つの状態では、同相出力端子 1210 及び逆相出力端子 1211 に現れるオフセットは、符号が互いに逆で絶対値が等しい状態となる。

【0062】

これにより、オペアンプが製造上のバラツキなどにより偶発的に生じるオフセット電圧を持っている場合でも、正極性のオフセット電圧を出力する場合と負極性のオフセット電圧を出力する場合とでは、期待値電圧からの偏差が等しくなる

ので、液晶表示画素に印加される駆動電圧の平均電圧には、2つの偏差の差の成分が誤差電圧として残留することがなくなり、したがって、液晶表示装置の画素間での印加電圧に差となって生じず、表示むらを確実に回避できる。

【0063】

次に、図34を示す。これは、図32に示す差動増幅回路と等価な差動増幅回路1301と、スイッチ及び出力部を具体化した例について説明する。なお、図34は、NチャンネルMOS入力のおペアンプである。

【0064】

図34において、1301は図32で示す差動増幅回路を示し、1302は同相入力端子を示し、1303は逆相入力端子を示し、1304及び1305はスイッチ切替信号入力端子をそれぞれ示し、1306から1309はスイッチをそれぞれ示し、1310から1313はスイッチをそれぞれ示し、1314及び1315はNチャンネルMOSの入力トランジスタをそれぞれ示し、1316および1317は入力トランジスタの能動負荷となるPチャンネルMOSの負荷トランジスタをそれぞれ示し、1318はPチャンネルMOSの出力トランジスタを示し、1319はNチャンネルMOSの出力トランジスタを示し、1320は出力端子を示し、1321はオペアンプに動作点を与えるためのバイアス電圧入力端子を示す。ここで、差動増幅回路1301を図22の抵抗負荷の差動増幅回路に置き換えた回路も、以下の説明と全く同一の動作をするため、ここでは詳細な説明を省略する。

【0065】

図34において、1314及び1315が、図32で示したスイッチ切替信号入力端子1114に相当し、1304と1305とは互いに逆相の信号を入力する。スイッチ切替信号入力に応じた回路の動作を図35及び図36を参照しながら、以下に説明する。

【0066】

図34において、入力トランジスタ1314及び1315が、図32で示した入力トランジスタ1101及び1102に相当し、負荷トランジスタ1316及び1317が図32で示した負荷トランジスタ1104及び1105に相当する

【0067】

また、図34において、1307及び1309が、図32で示したスイッチ1106に相当し、1306及び1308が、図32で示したスイッチ1107に相当し、1310及び1313が、図32で示したスイッチ1108に相当し、1311及び1312が、図32で示したスイッチ1109に相当し、トランジスタ1322が、図32で示した定電流源1103に相当する。

【0068】

切替入力信号1304に“L”レベル（ローレベル）が入力されると、スイッチはPチャンネルMOSトランジスタであるので、図35に示すように、スイッチ1306、1307、1310、及び1311がオン状態になる。この時、スイッチ切替信号入力端子1305には“H”レベル（ハイレベル）が入力されているため、スイッチ1308、1309、1312、及び1313はオフする。同相入力信号1302は、スイッチ1306を介して入力トランジスタ1315へ供給される。逆相入力信号1303は、スイッチ1307を介して入力トランジスタ1314へ供給される。また、スイッチ1310を介して負荷トランジスタ1316及び1317にゲート信号が供給され、スイッチ1311を介して出力トランジスタ1318へゲート信号が与えられる。図35の場合、同相入力信号を増幅する回路は、トランジスタ1315及び負荷トランジスタ1317であり、逆相入力信号を増幅する回路は、トランジスタ1314及び負荷トランジスタ1316である。

【0069】

スイッチ切替信号入力端子1305に“L”レベルが入力されると、図36において、スイッチ1308、1309、1312、及び1313がオン状態になる。この時、スイッチ切替信号入力端子1304には“H”レベルが入力されているため、スイッチ1306、1307、1310、及び1311はオフする。この時、同相入力信号1302は、スイッチ1308を介して入力トランジスタ1314へ供給される。逆相入力信号1303は、スイッチ1309を介して入力トランジスタ1315へ供給される。また、スイッチ1313を介して負荷ト

ランジスタ1316及び1317にゲート信号が与えられ、スイッチ1312を介して出力ランジスタ1318へゲート信号が与えられる。図36の場合、同相入力信号を増幅する回路は、入力ランジスタ1314及び負荷ランジスタ1316であり、逆相入力信号を増幅する回路は、入力ランジスタ1315及び負荷ランジスタ1317である。

【0070】

図35及び図36に示したように、本差動増幅回路は、スイッチ1306から1313を切り替えることによって、同相入力信号の増幅回路と逆相入力信号の増幅回路とを入れ替えることができる。これにより、前述したように、差動増幅回路に製造上の特性バラツキ等による偶発的なオフセットが発生した場合でも、このオフセットは、この2つの状態で符号が互いに逆で絶対値が等しくなる。したがって、オペアンプに生じるオフセットのバラツキも、スイッチ1306から1313を切り替えることによって、オフセットの符号が互いに逆で絶対値が等しい状態を実現することができ、上記オフセットを相殺できる。

【0071】

次に、図37を参照しながら、図33に示す差動増幅回路と等価な差動増幅回路1601と、スイッチ及び出力部を具体化した例を説明する。なお、図37は、PチャンネルMOS入力のオペアンプである。

【0072】

図37において、1602は同相入力端子を示し、1603は逆相入力端子を示し、1604及び1605はスイッチ切替信号入力端子をそれぞれ示し、1606～1609はスイッチをそれぞれ示し、1610～1613はスイッチをそれぞれ示し、1614及び1615はPチャンネルMOSの入力ランジスタをそれぞれ示し、1616および1617は入力ランジスタの能動負荷となるNチャンネルMOSの負荷ランジスタをそれぞれ示し、1618はNチャンネルMOSの出力ランジスタを示し、1619はPチャンネルMOSの出力ランジスタを示し、1620は出力端子を示し、1621はオペアンプに動作点を与えるためのバイアス電圧入力端子を示す。ここで、差動増幅回路1601を図27で述べた抵抗負荷の差動増幅回路に置き換えた回路も、以下の説明と全く同一

の動作をするため、ここでは詳細な説明を省略する。

【0073】

図37において、入力トランジスタ1614及び1615が、図33で示した入力トランジスタ1201及び1202に相当し、負荷トランジスタ1616及び1617が、図33で示した負荷トランジスタ1204及び1205に相当する。また、図37において、1607及び1609が、図33で示したスイッチ1206に相当し、1606及び1608が、図33で示したスイッチ1207に相当し、1610及び1613が、図33で示したスイッチ1208に相当し、1611及び1612が、図33で示したスイッチ1209に相当し、トランジスタ1622が、図33で示した定電流源1203に相当する。

【0074】

スイッチ切替信号入力端子1604に“H”レベル（ハイレベル）が入力されると、スイッチはNチャンネルMOSトランジスタであるので、図38に示すように、スイッチ1606、1607、1610、及び1611がオン状態になる。この時、スイッチ切替信号入力端子1605には“L”レベル（ローレベル）が入力されているため、スイッチ1608、1609、1612、及び1613はオフする。同相入力信号1602は、スイッチ1606を介して入力トランジスタ1615へ供給される。逆相入力信号1603は、スイッチ1607を介して入力トランジスタ1614へ供給される。また、スイッチ1610を介して負荷トランジスタ1616及び1617にゲート信号が供給され、スイッチ1611を介して出力トランジスタ1618へゲート信号が与えられる。図38の場合、同相入力信号を増幅する回路は、入力トランジスタ1615及び負荷トランジスタ1617であり、逆相入力信号を増幅する回路は、入力トランジスタ1614及び負荷トランジスタ1616である。

【0075】

スイッチ切替信号入力端子1605に“H”レベルが入力されると、図39において、スイッチ1608、1609、1612、及び1613がオン状態になる。この時、スイッチ切替信号入力端子1604には“L”レベルが入力されているため、スイッチ1606、1607、1610、及び1611はオフする。

この時、同相入力信号1602は、スイッチ1608を介して入力トランジスタ1614へ供給される。逆相入力信号1603は、スイッチ1609を介して入力トランジスタ1615へ供給される。また、スイッチ1613を介して負荷トランジスタ1616及び1617にゲート信号が与えられ、スイッチ1612を介して出力トランジスタ1618へゲート信号が与えられる。図39の場合、同相入力信号を増幅する回路は、入力トランジスタ1614及び負荷トランジスタ1616であり、逆相入力信号を増幅する回路は、入力トランジスタ1615及び負荷トランジスタ1617である。

【0076】

図38及び図39に示したように、上記差動増幅回路は、スイッチ1606～1613を切り替えることによって、同相入力信号の増幅回路と逆相入力信号の増幅回路とを入れ替えることができる。これにより、前述したように、差動増幅回路に製造上のバラツキ等により偶発的に発生するオフセットが発生した場合でも、このオフセットは、この2つの状態で符号が互いに逆で絶対値が等しくなる。したがって、オペアンプに生じるオフセットのバラツキも、スイッチ1606～1613を切り替えることによって、オフセットの符号が逆で絶対値が等しい状態を実現することができる。なお、図38及び図39において、点線は、信号の流れを示すものである。

【0077】

図40及び図41は、前述の差動増幅回路を使用したドット反転駆動を行う液晶駆動回路の出力ブロック図であり、隣り合う2つの出力回路部分のみを示す。図40及び図41は、液晶駆動電圧の極性を切り替えた場合の動作をそれぞれ示している。

【0078】

図40及び図41において、2101は図34で示したNチャンネルMOSトランジスタ入力のオペアンプを示し、2102は図37で示したPチャンネルMOSトランジスタ入力のオペアンプを示し、2103は正極性の液晶駆動電圧を発生するD/A変換回路を示し、2104は負極性の液晶駆動電圧を発生するD/A変換回路を示し、2105～2108は液晶駆動電圧を交流化するためのス

イッチを示し、2109は奇数番目の出力端子の表示データを記憶するラッチ回路を示し、2110は偶数番目の出力端子の表示データを記憶するラッチ回路を示し、2111は奇数番目の出力端子を示し、2112は偶数番目の出力端子を示し、2113は交流化スイッチ切替信号入力を示し、2114は図34や図37で示したオペアンプのスイッチ切替信号を示す。なお、ここでのラッチ回路2109や2110は、図17のホールドメモリ4405を示し、レベルシフト回路は省略された形で説明している。

【0079】

以下、これらの図を使用して奇数番目の出力端子の動作について説明する。偶数番目の出力端子については、その駆動電圧極性が逆になるだけで同一の動作をするため、詳細な説明を省略する。

【0080】

図40は、奇数番目の出力端子2111が正極性駆動電圧を出力し、偶数番目の出力端子2112が負極性駆動電圧を出力する場合を示す。この場合、奇数番目の出力端子の表示データは、ラッチ回路2109からスイッチ2105を介して正極性用D/A変換回路2103へ送られ、その出力がオペアンプ2101に与えられた後、スイッチ2107を介して奇数番目の出力端子2111から出力される（図40中の太線で示す矢印を参照）。

【0081】

図41は、奇数番目の出力端子2111が負極性駆動電圧を出力し、偶数番目の出力端子2112が正極性駆動電圧を出力する場合を示す。この場合、奇数番目の出力端子の表示データは、ラッチ回路2109からスイッチ2106を介して負極性用D/A変換回路2104へ送られ、その出力がオペアンプ2102に与えられた後、スイッチ2107を介して奇数番目の出力端子2111から出力される（図41中の太線で示す矢印を参照）。

【0082】

ここで、オペアンプが製造上の理由等で特性が異なり、偶発的に発生するオフセット電圧を持つ場合について説明する。前述したように、ここで示すオペアンプはスイッチ切替信号により、そのオフセットの符号を反転させることができ、

このときのオフセット電圧の絶対値は同じであることから、オペアンプ2101がオフセット電圧A又は-Aに切り替えることができ、オペアンプ2102がオフセット電圧B又は-Bに切り替えることができるものとする。この場合、奇数番目の出力端子の出力電圧は、正極性出力時はA又は-Aのオフセットを持ち、負極性出力時はB又は-Bのオフセットを持つことになる。オフセットの符号の選択は、前述のオペアンプのスイッチ切替信号で行われる。

【0083】

次に、図3は、図40及び図41における差動増幅回路2115の具体的構成例を示すものであり、図3において、2301は図34で示したNチャンネルMOSトランジスタ入力オペアンプに対応し、2302は図37で示したPチャンネルMOSトランジスタ入力オペアンプに対応している。また、図3において、2307及び2308は、図40及び図41におけるスイッチ2107及び2108にそれぞれ対応している。更に、図3において、出力端子2311及び2312は、図40及び図41における出力端子2111及び2112にそれぞれ対応している。図3中、VBNおよびVBPは、オペアンプに動作点を与えるためのバイアス電圧入力端子をそれぞれ示す。更に、図3中の2313は、図40および図41中の2113（交流化スイッチ切替信号入力REV）に対応し、図3中の2314は図40及び図41中の2114（図34及び図37で示したオペアンプのスイッチ切替信号SWP）に対応する。

【0084】

そして、交流化スイッチ切替信号REV、及びオペアンプのスイッチ切替信号SWPと出力の関係を示したものが、図42と表1である。

【0085】

図42において、2501は奇数番目の出力端子からの出力電圧により駆動される画素電圧の理想値を示し、2502はオフセット電圧が加味された実際の電圧を示す。交流化スイッチ切替信号REVは、1フレーム毎に反転しており、オペアンプのスイッチ切替信号SWPは2フレーム毎に反転している。この結果、画素電圧の理想値と実際の電圧値との差は、1フレーム毎に順次、A、B、-A、-Bと変化し、4フレームで最初の状態に戻る。

【0086】

ここで、第1フレームと第3フレームの偏差、及び第2フレームと第4フレームの偏差は互いに逆符号で等しくなる。フレームの周期が液晶材料の反応時間に対して十分短ければ、第1フレームと第3フレームとで偏差は打ち消され、また、第2フレームと第4フレームとで偏差が打ち消される。偶数番目の出力端子でも同様に4フレーム毎に偏差は打ち消される。これらをまとめると表1のようになる。

【0087】

【表1】

入 力 信 号		出 力 端 子	
SWP	REV	奇数番目の出力端子	偶数番目の出力端子
ローレベル	ローレベル	正極性（偏差 A）	負極性（偏差 B）
ローレベル	ハイレベル	負極性（偏差 B）	正極性（偏差 A）
ハイレベル	ローレベル	正極性（偏差 - A）	負極性（偏差 - B）
ハイレベル	ハイレベル	負極性（偏差 - B）	正極性（偏差 - A）

【0088】

以上より、液晶駆動出力端子毎の偏差のバラツキは、各々の表示画素での打ち消し動作により、人の目に表示むらとして識別されることはなく、良質な表示を行うことが可能となる。

【0089】

【発明が解決しようとする課題】

しかしながら、上記従来の技術によれば、ソースドライバの出力回路部（図1

7 参照) を構成する差動増幅器 (オペアンプ回路) の構造上の条件のバラツキ等により偶発的に発生するオフセット電圧 (このオフセット電圧は、主として、差動増幅器の入力段を構成する差動部で発生する。) が液晶表示素子への理想の駆動電圧からの誤差を生み、これにより表示画像が適切に表示されず、いわゆる表示むらが発生し、表示品位を低下させる要因となっていた。

【 0 0 9 0 】

上記第 1 従来技術では、一つの出力端子に正極性電圧および負極性電圧の双方を出力 (フルレンジ) できるように N チャンネル MOS トランジスタを入力段にもつオペアンプと P チャンネル MOS トランジスタを入力段にもつオペアンプ 2 個を有する構成を示した。これにより、図 2 1 に示すようにオフセット電圧に起因する偏差 A 、 $-A$ を 2 フレームで打ち消していた。

【 0 0 9 1 】

しかしながら、この回路構成は、1 出力端子毎にオペアンプ 2 個を有するので、回路規模が大きくチップサイズの増大を招来するという不具合があった。しかも、比較的消費電力が大きいオペアンプ回路が多くなるので、低消費電力化のネックにもなっていた。

【 0 0 9 2 】

一方、上記第 2 従来技術では、正極性電圧は入力段に N チャンネル MOS トランジスタを使用したオペアンプから出力すると共に、負極性電圧は入力段に P チャンネル MOS トランジスタを使用したオペアンプから出力し、正極性 / 負極性電圧を切替スイッチで切り替えてフルレンジ出力にしていた。これによれば、オペアンプ回路の数が半減するので、回路規模の縮小および低消費電力化が実現できる。

【 0 0 9 3 】

しかしながら、上記第 2 従来技術では、N チャンネル MOS トランジスタを使用したオペアンプ回路で発生するオフセット電圧による偏差 A と、P チャンネル MOS トランジスタを使用したオペアンプ回路で発生するオフセット電圧による偏差 B を打ち消すことができず (図 2 0 参照)、液晶表示素子への理想の駆動電圧からの誤差が解消できず、これにより、表示画像が適切に表示されず、いわゆ

る表示むらが発生し、表示品位を低下させる要因となっていた。

【0094】

また、上記第3従来技術では、前述の正極性電圧は入力段にNチャンネルMOSトランジスタを使用したオペアンプから出力すると共に、負極性電圧は入力段にPチャンネルMOSトランジスタを使用したオペアンプ回路から出力し、正極性電圧／負極性電圧を切替スイッチで切り替えてフルレンジ出力にするのに加えて、更にオペアンプ入力端子（同相入力端子および逆相入力端子）への入力信号として、同相入力信号もしくは逆相入力信号を切り替えて入力することで、前述の正極性電圧／負極性電圧に加えて、入力信号切り替えによって新たに正極性電圧／負極性電圧（前述の正極性電圧／負極性電圧を反転したもの）を作り出すことによって、NチャンネルMOSトランジスタを使用したオペアンプ回路で発生するオフセット電圧による偏差A、 $-A$ 、PチャンネルMOSトランジスタを使用したオペアンプで発生するオフセット電圧による偏差Bと $-B$ をフレーム間で切り替えることで4フレーム間で上記偏差を打ち消し（図42および表1を参照）、いわゆる表示むらの発生をなくしていた。

【0095】

本発明は上記問題点に鑑みなされたものであり、その目的は、正極性電圧出力用オペアンプと負極性電圧出力用オペアンプとを別々に設け、同相入力信号と逆相入力信号を切り替えて出力する液晶表示装置の駆動装置および駆動方法において、簡単な回路の追加のみで上記ソースドライバを構成することができるもので、ソースドライバの小型化や低消費電力化に影響を及ぼすことなく、液晶駆動出力端子毎の偏差のバラツキが、各々の表示画素でのフレーム間での打ち消し動作によって、人の目に表示むらとして識別されることはなく良質な表示を行うことができるものを提供することにある。

【0096】

【課題を解決するための手段】

本発明に係る液晶表示装置の駆動装置は、上記の課題を解決するために、同相または逆相の入力信号を増幅する第1及び第2増幅回路と、これら2つの入力信号を選択的に切り替えて上記の第1及び第2増幅回路へ入力する第1切替回路と

、交流化信号に基づいて上記第 1 及び第 2 増幅回路の出力信号を選択的に切り替えてマトリックス状に配された画素に出力する第 2 切替回路と、上記画素に印加されるオフセット電圧が、所定フレーム数毎に極性が切り替えられると共に、上記所定フレーム数の 2 倍のフレームでキャンセルされるように、上記第 1 及び第 2 切替回路をそれぞれ切り替える切替制御回路とを備えていることを特徴としている。

【 0 0 9 7 】

上記の発明によれば、同相入力信号と逆相入力信号が第 1 切替回路によって切り替えられると共に、第 1 及び第 2 増幅回路の出力がそれぞれ第 2 切替回路によって切り替えられてマトリックス状に配された画素に出力され、これにより液晶表示装置が駆動される。

【 0 0 9 8 】

本来、同じ回路特性を有すべき第 1 及び第 2 増幅回路に、製造上のバラツキ等に起因して、回路特性において差が生じた場合、出力信号にオフセット電圧が生じてしまう。

【 0 0 9 9 】

そこで、上記発明においては、画素に印加されるオフセット電圧の極性が、切替制御回路によって、所定フレーム数毎に切り替えられると共に、上記オフセット電圧が、切替制御回路によって、上記所定フレーム数の 2 倍の数のフレームでキャンセルされるように第 1 及び第 2 切替回路はそれぞれ切り替えられる。

【 0 1 0 0 】

このように、液晶駆動出力端子ごとのオフセット電圧のバラツキは、各々の画素での上記所定数のフレーム間でキャンセルされるので、人の目に表示むらとして識別されることはなく、良質な表示が行える。これにより、非常に信頼性の高い液晶表示装置の駆動装置を提供することができる。

【 0 1 0 1 】

上記切替制御回路は、水平同期信号または 1 水平同期期間毎に出力される信号をカウントし、このカウント値の整数倍が水平ライン数に等しくならないように分周した第 1 切替信号に基づいて上記第 1 切替回路の切り替えを制御すると共に

、上記水平ライン数が偶数か奇数かを識別し、この識別結果と垂直同期信号とに基づいて、上記水平同期信号または1水平同期期間毎に出力される信号に同期して変化する第2切替信号を生成し、この第2切替信号に基づいて上記第2切替回路の切り替えを制御することが好ましい。

【0102】

上記切替制御回路は、上記第1切替信号を出力する第1分周回路と、上記の水平同期信号または1水平同期期間毎に出力される信号に同期して変化する信号を出力する第2分周回路と、垂直同期信号に同期して変化する信号を出力する第3分周回路と、上記水平ライン数が偶数か奇数かの上記識別結果と、上記第3分周回路の出力信号とに対して論理積演算を行う論理積回路と、上記論理積回路の出力信号と、上記第2分周回路の出力信号とに対して排他的論理和演算を行う排他的論理和回路とを備え、該排他的論理和回路から上記第2切替信号が生成されることが好ましい。

【0103】

この場合、論理積回路の出力信号の変化に応じて、水平同期信号または1水平同期期間毎に出力される信号に同期して変化する信号（第2分周回路の出力信号）がそのまま、又は反転されたものが第2切替信号として出力される。つまり、第2切替信号は、水平同期信号に同期して変化する、水平ライン数が偶数か奇数かの識別結果と、フレームに関する情報を担う垂直同期信号との双方が反映されたものとなる。これら第1及び第2切替信号に基づいて、第1及び第2増幅回路の入力及び出力の切替制御を行うことによって、画素に印加されるオフセット電圧は、所定フレーム数毎に極性が切り替えられると共に、上記所定フレーム数の2倍のフレームでキャンセルされる。

【0104】

本発明に係る他の液晶表示装置の駆動装置は、上記の課題を解決するために、同相または逆相の入力信号を増幅する第1及び第2増幅回路と、上記2つの入力信号を選択的に切り替えて上記の第1及び第2増幅回路へ入力する第1切替回路と、流化信号に基づいて上記第1及び第2増幅回路の出力信号を選択的に切り替えてマトリックス状に配された画素に出力する第2切替回路と、上記画素に印加

されるオフセット電圧が、 m を自然数とすると、 $2m$ 個のフレーム毎に極性が切り替えられると共に、 $4m$ 個のフレームでキャンセルされるように、上記第1及び第2切替回路をそれぞれ切り替える切替制御回路とを備えていることを特徴としている。

【0105】

上記の発明によれば、同相入力信号と逆相入力信号が第1切替回路によって切り替えられると共に、第1及び第2増幅回路の出力がそれぞれ第2切替回路によって切り替えられてマトリックス状に配された画素に出力され、これにより液晶表示装置が駆動される。

【0106】

本来、同じ回路特性を有すべき第1及び第2増幅回路に、製造上のバラツキ等に起因して、回路特性において差が生じた場合、出力信号にオフセット電圧が生じてしまう。

【0107】

そこで、上記発明においては、画素に印加されるオフセット電圧の極性が、切替制御回路によって、 $2m$ 個（ m は自然数）のフレーム毎に極性が切り替えられると共に、上記オフセット電圧が、切替制御回路によって、 $4m$ 個のフレームでキャンセルされるように第1及び第2切替回路はそれぞれ切り替えられる。

【0108】

このように、液晶駆動出力端子ごとのオフセット電圧のバラツキは、各々の画素での上記所定数のフレーム間でキャンセルされるので、人の目に表示むらとして識別されることはなく、良質な表示が行える。これにより、非常に信頼性の高い液晶表示装置の駆動装置を提供することができる。

【0109】

上記切替制御回路は、垂直同期信号を $2m$ 分周した第3切替信号に基づいて上記第1切替回路の切り替えを制御すると共に、上記水平ライン数が偶数か奇数かを識別し、この識別結果と垂直同期信号とに基づいて、上記水平同期信号または1水平同期期間毎に出力される信号に同期して変化する第2切替信号を生成し、この第2切替信号に基づいて上記第2切替回路の切り替えを制御することが好ま

しい。この場合、たとえ水平ライン数に変更されても、水平同期信号の分周について検討する必要がなく、非常に汎用性の高いソースドライバを実現できる。

【0 1 1 0】

本発明に係る液晶表示装置の駆動方法は、上記の課題を解決するために、第1及び第2増幅回路を有し、切替信号に基づいて同相入力信号と逆相入力信号を切り替えると共に、交流化信号に基づいて上記増幅回路の出力をそれぞれ切り替えてマトリックス状に配された画素に出力する液晶表示装置の駆動方法において、上記画素に印加されるオフセット電圧が、所定フレーム数毎に極性が切り替えられると共に、上記所定フレーム数の2倍のフレームでキャンセルされるように、上記切替信号および上記交流化信号を制御することを特徴としている。

【0 1 1 1】

上記の液晶表示装置の駆動方法によれば、同相入力信号と逆相入力信号が第1切替回路によって切り替えられると共に、第1及び第2増幅回路の出力がそれぞれ第2切替回路によって切り替えられてマトリックス状に配された画素に出力され、これにより液晶表示装置が駆動される。

【0 1 1 2】

本来、同じ回路特性を有すべき第1及び第2増幅回路に、製造上のバラツキ等に起因して、回路特性において差が生じた場合、出力信号にオフセット電圧が生じてしまう。

【0 1 1 3】

そこで、上記発明においては、画素に印加されるオフセット電圧の極性が、切替制御回路によって、所定フレーム数毎に切り替えられると共に、上記オフセット電圧が、切替制御回路によって、上記所定フレーム数の2倍の数のフレームでキャンセルされるように第1及び第2切替回路はそれぞれ切り替えられる。

【0 1 1 4】

このように、液晶駆動出力端子ごとのオフセット電圧のバラツキは、各々の画素での上記所定数のフレーム間でキャンセルされるので、人の目に表示むらとして識別されることはなく、良質な表示が行える。これにより、非常に信頼性の高い液晶表示装置の駆動方法を提供することができる。

【0 1 1 5】

上記切替信号および上記交流化信号の制御は、水平同期信号または1水平同期期間毎に出力される信号をカウントし、このカウント値の整数倍が水平ライン数に等しくならないように分周した第1切替信号に基づいて上記第1切替回路の切り替えを制御すると共に、上記水平ライン数が偶数か奇数かを識別し、この識別結果と垂直同期信号とに基づいて、上記水平同期信号または1水平同期期間毎に出力される信号に同期して変化する第2切替信号を生成し、この第2切替信号に基づいて上記第2切替回路の切り替えを制御することが好ましい。

【0 1 1 6】

本発明に係る他の液晶表示装置の駆動方法は、上記の課題を解決するために、第1及び第2増幅回路を有し、切替信号に基づいて同相入力信号と逆相入力信号を切り替えると共に、交流化信号に基づいて上記増幅回路の出力をそれぞれ切り替えてマトリックス状に配された画素に出力する液晶表示装置の駆動方法において、上記画素に印加されるオフセット電圧が、 m を自然数とすると、 $2m$ 個のフレーム毎に極性が切り替えられると共に、 $4m$ 個のフレームでキャンセルされるように、上記切替信号および上記交流化信号を制御することを特徴としている。

【0 1 1 7】

上記の発明によれば、同相入力信号と逆相入力信号が第1切替回路によって切り替えられると共に、第1及び第2増幅回路の出力がそれぞれ第2切替回路によって切り替えられてマトリックス状に配された画素に出力され、これにより液晶表示装置が駆動される。

【0 1 1 8】

本来、同じ回路特性を有すべき第1及び第2増幅回路に、製造上のバラツキ等に起因して、回路特性において差が生じた場合、出力信号にオフセット電圧が生じてしまう。

【0 1 1 9】

そこで、上記発明においては、画素に印加されるオフセット電圧の極性が、切替制御回路によって、 $2m$ 個（ m は自然数）のフレーム毎に極性が切り替えられると共に、上記オフセット電圧が、切替制御回路によって、 $4m$ 個のフレームで

キャンセルされるように第 1 及び第 2 切替回路はそれぞれ切り替えられる。

【 0 1 2 0 】

このように、液晶駆動出力端子ごとのオフセット電圧のバラツキは、各々の画素での上記所定数のフレーム間でキャンセルされるので、人の目に表示むらとして識別されることはなく、良質な表示が行える。これにより、非常に信頼性の高い液晶表示装置の駆動方法を提供することができる。

【 0 1 2 1 】

【発明の実施の形態】

本発明の実施の一形態について図 1 乃至図 1 0 に基づいて説明すれば、以下のとおりである。

【 0 1 2 2 】

本実施の形態に係る T F T を用いた液晶表示装置は基本的には先に示した図 1 1 の構成を有しており、従来との差異は、ソースドライバへの制御信号として、更に、垂直同期信号と、偶数／奇数ライン識別信号とが加わったことである。

【 0 1 2 3 】

なお、後述するが、この垂直同期信号と偶数／奇数ライン識別信号の処理回路はコントローラに内蔵し、例えば、図 1 のノード A の線を信号線とすれば、従来技術と比較して制御信号を 1 本増加するだけでよい。

【 0 1 2 4 】

図 1 1 のソースドライバ 3 8 0 2 のブロック図を図 2 に示す。

【 0 1 2 5 】

図 2 中のシフトレジスタ回路 4 4 0 3、サンプリングメモリ回路 4 4 0 4、ホールドメモリ回路 4 4 0 5、レベルシフタ回路 4 4 0 6、D／A 変換回路 4 4 0 7、基準電圧発生回路 4 4 0 2、入力ラッチ回路 4 4 0 1 は、図 1 7 の対応する回路とそれぞれ同じであるので、説明を省略する。出力回路 4 4 0 8 は、正極性電圧出力用オペアンプと負極性電圧出力用オペアンプとを別々に設けた回路構成のものである。上記出力回路 4 4 0 8 の詳細な回路構成を図 3 に示す。

【 0 1 2 6 】

図 2 のカウンタ回路で構成される切替制御回路 4 4 0 9 の回路構成例を図 1 に

示す。この切替制御回路 4 4 0 9 には、後述の SWP（上記 2 つのオペアンプのスイッチ切替信号）／REV（交流化スイッチ切替信号）切替スイッチ回路も含まれている。

【0 1 2 7】

また、切替制御回路 4 4 0 9 の入力信号波形および出力信号波形を図 4 に示す。更に、液晶表示パネル上の画素での、上記出力回路 4 4 0 8 からのオフセット電圧出力分布を図 5 および図 6 に示す。なお、図 5 は、水平ライン数（図 1 2 でのゲート信号ライン 3 9 0 5 に相当する行数）が偶数の場合（偶数ラインパネル）を示している。

【0 1 2 8】

図 5 では行数が 8 ラインとして表示し、列数が 8 ラインの液晶パネルとして表示しているが、これは説明の便宜上のものであり、本発明はこれに限定されるものではない。

【0 1 2 9】

なお、水平ライン数が奇数の場合の考え方は、例えば、図 5 の⑧ラインの下に⑨ラインを設けるだけであり、画面上部の①ライン～⑧ラインの偏差の配置は同じであるので、図面を用いての説明は省略している。

【0 1 3 0】

本実施の形態では、水平同期信号をカウント（分周）することによってフレーム間でのオフセットの偏差をキャンセルするものである。図 1 では、例えば、水平ライン 7 本毎に、オペアンプのスイッチ切替信号 SWP を切り替えた例を示している。

【0 1 3 1】

上記切替制御回路 4 4 0 9 のうち、D フリップフロップで構成された DF/F 1 ～ 4 は水平同期信号を周波数が 1 / 1 4 になるように分周する回路（1 4 分周回路）である。上記 DF/F 1 ～ 4 の各入力端子 D と出力端子／Q を接続し、DF/F 1 のクロック入力端子 CK に水平同期信号を入力し、上記 DF/F 1 の出力端子 Q の出力を次段 DF/F 2 の反転クロック入力端子／CK に入力し、次いで上記 DF/F 2 の出力端子 Q を次段 DF/F 3 の反転クロック入力端子／CK

に接続する。上記DF/F 1～3の各出力端子Qは、3入力NANDゲートの入力端子にそれぞれ接続されている。

【0132】

上記3入力NANDゲート5001の出力端子は、上記DF/F 1～3の各リセット入力端子Rに接続され、周波数が1/2になるように分周する分周回路（2分周回路）を構成しているDF/F 4のクロック入力端子CKに入力することで、周波数を1/14にする上記分周回路を簡単な回路構成で実現できる。上記DF/F 4の出力端子/Q及び出力端子Qからの出力信号は、インバータ5005及び5006を介して、オペアンプのスイッチ切替信号SWP及び/SWPとしてそれぞれ出力される。これにより、水平同期信号の立ち上がりに同期して、反転するオペアンプのスイッチ切替信号SWPを生成する。なお、図中、/SWPはオペアンプのスイッチ切替信号SWPの反転信号である。

【0133】

垂直同期信号は、DF/F 6のクロック入力端子CKに印加され、このDF/F 6の出力端子Qは、ANDゲート5002（論理積回路）の一方の入力端子に接続されている。このANDゲート5002の他方の入力端子には、偶数/奇数ライン識別信号（水平ライン数が偶数の場合にハイレベルになり、奇数の場合にローレベルなる信号）が入力される。上記DF/F 6の入力端子Dは、出力端子/Qに接続されている。

【0134】

上記ANDゲート5002の出力端子はEX-ORゲート5003及び5004の入力端子の一方にそれぞれ接続されている。上記EX-ORゲート5003の他方の入力端子は、DF/F 5の出力端子Qに接続されている。上記EX-ORゲート5004の他方の入力端子は、上記DF/F 5の出力端子/Qに接続されている。上記EX-ORゲート5003及び5004の出力信号は、インバータ5007及び5008を介してそれぞれ反転された後、交流化スイッチ切替信号REV及び/REVとして出力される。

【0135】

また、上記の交流化スイッチ切替信号REVも、1水平同期信号の立ち上がり

時に同期して反転する信号である。／REVは、交流化スイッチ切替信号REVの反転信号である。

【0136】

上記交流化スイッチ切替信号REVの生成は、液晶表示パネルが偶数ラインパネル（水平ライン数が偶数）か奇数ラインパネル（水平ライン数が奇数）かで、次のように異なる。

【0137】

偶数ラインパネルの場合（図5に相当）は、偶数／奇数ライン識別信号はハイレベルになる。これにより、ノードAには、垂直同期信号の周波数が1／2になるように分周した信号が（ANDゲート5002の出力に対応する。）出力される。つまり、1番目の垂直同期信号を受けると、DF／F6の出力端子Qからはハイレベルの信号がANDゲート5002に送られる。2番目の垂直同期信号を受けると、DF／F6の出力端子Qからはローレベルの信号がANDゲート5002に送られる。

【0138】

ANDゲート5002の出力がハイレベルの場合（1番目の垂直同期信号を受けた場合）、DF／F5の出力端子Qからの信号が、EX-ORゲート5003及びインバータ5007を介して、交流化スイッチ切替信号REVとして出力される。これに対して、ANDゲート5002の出力がローレベルの場合（2番目の垂直同期信号を受けた場合）、DF／F5の出力端子Qからの信号を反転したものが、EX-ORゲート5003及びインバータ5007を介して、交流化スイッチ切替信号REVとして出力される（図4参照）。以降、3番目、4番目、…の垂直同期信号に対して同様の動作が行われる。なお、交流化スイッチ切替信号／REVは、基本的に交流化スイッチ切替信号REVと同じであるので、動作説明については、省略する。

【0139】

偶数ラインパネルにおいては、以上のように、交流化スイッチ切替信号REVは、DF／F6の出力信号に応じてフレーム毎に反転し、結果的に、REV→／REV→REV→／REVと切り替わって出力されることになる。

【 0 1 4 0 】

これに対して、奇数ラインパネルの場合、偶数／奇数ライン識別信号はローレベルとなるので、DF／F 6 の出力端子Qからの信号に無関係に、ANDゲート5002の出力が常にローレベルになる。したがって、DF／F 5 の出力端子Qからの信号を反転したものが、EX-ORゲート5003及びインバータ5007を介して、交流化スイッチ切替信号REVとして出力される（図4参照）。そのため、交流化スイッチ切替信号REVは、フレーム毎に変化しない。

【 0 1 4 1 】

図1では、DF／F 4 ～ 6 のリセット入力端子Rへの配線は省略しているが、複数のソースドライバで構成されている場合、各ソースドライバ内の上記各スイッチ切替信号SWP及びREVの位相を合わせるため、電源投入時にリセット信号を印加することが好ましい。

【 0 1 4 2 】

なお、図3中のVBN及びVBPはオペアンプの動作点を与えるためのバイアス電圧入力端子であり、オペアンプが歪みの無い増幅が行えるように適切なバイアス電圧が印加されているものとする。

【 0 1 4 3 】

また、図3での「H」側DACより」は、図40での2103からの入力信号である一方、「L」側DACより」は、図40での2104からの入力信号である。図3のオペアンプのスイッチ切替信号SWP及び／SWPと、交流化スイッチ切替信号REV及び／REVとを入力すると、これらの信号により出力端子に出力される出力信号のオフセット電圧は前述の表1に表される。

【 0 1 4 4 】

ここで、上記切替信号を使用した場合にオフセット電圧がフレーム間でキャンセルされることについて、図5を参照しながら、詳細に説明する。

【 0 1 4 5 】

図5（偶数ラインパネル）の①フレームでの①ラインは、交流化スイッチ切替信号REVが、まず、ローレベル（L）である一方、オペアンプのスイッチ切替信号SWPが、まず、ローレベル（L）とすれば、奇数番目の画素には+Aのオ

フセット電圧が含まれた信号が出力される一方、偶数番目の画素には + B のオフセット電圧が含まれた信号が出力されることになる。

【 0 1 4 6 】

そして、次の②ラインでは、交流化スイッチ切替信号 R E V が反転してハイレベル (H) となる一方、オペアンプのスイッチ切替信号 S W P は 7 ラインがローレベル (L) のままであるので、奇数番目の画素には + B のオフセット電圧が含まれた信号が出力される一方、偶数番目の画素には + A のオフセット電圧が含まれた信号が出力される。

【 0 1 4 7 】

以下、図 5 に示すように、上記と同様の動作が繰り返された後、⑧ラインでオペアンプのスイッチ切替信号 S W P がハイレベル (H) に変化する。そして、次の②フレームをまたいで 7 ラインはハイレベルを維持する。以降、同様に変化する。

【 0 1 4 8 】

一方、交流化スイッチ切替信号 R E V は、水平ライン毎 (つまり、1 水平同期信号毎) にローレベルからハイレベルへと切り替わり、更にフレームが変わる毎に反転 (R E V \rightarrow \neg R E V) することになる。以降、同様である。

【 0 1 4 9 】

そして、図 5 の例では、⑧フレームで P チャンネル M O S トランジスタが入力段のオペアンプと N チャンネル M O S トランジスタが入力段のオペアンプの各々のオフセット電圧 A、B の極性 (+、-) が切り替わる。これにより、画素に印加される電圧に含まれるオフセット電圧をフレーム間で示したものが図 6 である。

【 0 1 5 0 】

図 6 は、1 行目 1 列目の画素 (絵素) ①-① に含まれるオフセット電圧を 1 4 フレームにわたって表したものであり、この図から 7 フレームで極性が切り替わって 1 4 フレームで極性の偏差がキャンセルされていることがわかる。これにより、画素 ①-① に含まれるオフセット電圧はキャンセルされることになる。これは、奇数パネルラインでもオペアンプのスイッチ切替信号 S W P 及び交流化ス

イッチ切替信号REVの信号状態による偏差出力関係は偶数のパネルラインと同じであるので、説明は省略する。

【0151】

以上の説明においては、7水平ライン毎にオペアンプのスイッチ切替信号SWPを切り替え、また、1フレームが8水平ラインの例を挙げて説明しているため、7フレーム毎に極性が切り替えられ14フレームで極性がキャンセルされることになるが、画面の水平ライン数に対して、水平同期信号のカウント数を上記の考えに基づき選択することにより、nフレーム毎にオフセットの極性を切り替えることが可能となる。水平同期信号のカウント数の変更は、図1からも明らかなように、容易に行える。

【0152】

ただし、画面の水平ライン数が水平同期信号のカウント数の整数倍である場合は、画素には同じ極性のオフセット電圧が含まれるだけで、極性の反転は起こらない。したがって、画面の水平ライン数が水平同期信号のカウント数の整数倍にならないように設定する必要がある。

【0153】

次に、本発明の他の実施の形態について、図3、図7、図8、図9、及び図10を参照しながら、以下に説明する。前述の実施の形態と比較して、さらに簡単な回路によって実現している。

【0154】

図7に示すように、カウンタ回路で構成された切替制御回路4410の構成が異なっている。この切替制御回路4410は、図8の構成を有している。図8の構成によれば、例えば、水平同期信号を基に、2フレーム毎に、オペアンプのスイッチ切替信号SWPが切り替えられる。

【0155】

切替制御回路4410のうち、Dフリップフロップで構成されたDF/F11及びDF/F12は、垂直同期信号の周波数を1/4に分周する回路（4分周回路）であり、DF/F11及びDF/F12の各入力端子Dと出力端子/Qを接続し、DF/F11のクロック入力端子CKに垂直同期信号を入力し、DF/F

1 1 の出力端子 Q の出力を次段の D F / F 1 2 のクロック入力端子 C K に入力しており、上記 D F / F 1 2 の出力端子 Q 及び / Q からの信号はインバータ 3 1 0 5 及び 3 1 0 6 を介してオペアンプのスイッチ切替信号 / S W P 及び S W P としてそれぞれ出力される。これにより、垂直同期信号の立ち上がり同期して、2 フレーム毎に反転するオペアンプのスイッチ切替信号 S W P が生成される（図 1 0 参照）。

【 0 1 5 6 】

一方、D F / F 1 1 の出力端子 Q は、AND ゲート 3 1 0 2（論理積回路）の一方の入力端子に接続されている。この AND ゲート 3 1 0 2 の他方の入力端子には、偶数 / 奇数ライン識別信号（水平ライン数が偶数の場合にハイレベルになり、奇数の場合にローレベルなる信号）が入力される。

【 0 1 5 7 】

上記 AND ゲート 3 1 0 2 の出力端子は EX-OR ゲート 3 1 0 3 及び 3 1 0 4 の入力端子の一方にそれぞれ接続されている。出力端子は EX-OR ゲート 3 1 0 3 の他方の入力端子は、D F / F 1 3 の出力端子 Q に接続されている。上記 EX-OR ゲート 3 1 0 4 の他方の入力端子は、上記 D F / F 1 3 の出力端子 / Q に接続されている。上記 EX-OR ゲート 3 1 0 3 及び 3 1 0 4 の出力信号は、インバータ 3 1 0 7 及び 3 1 0 8 を介してそれぞれ反転された後、交流化スイッチ切替信号 R E V 及び / R E V として出力される。

【 0 1 5 8 】

上記交流化スイッチ切替信号 R E V の生成は、液晶表示パネルが偶数ラインパネル（水平ライン数が偶数）か奇数ラインパネル（水平ライン数が奇数）かで、次のように異なる。

【 0 1 5 9 】

偶数ラインパネルの場合（図 9 に相当）は、偶数 / 奇数ライン識別信号をハイレベルになる。これにより、AND ゲート 3 1 0 2 の出力は、上記 D F / F 1 1 の出力端子 Q からの信号に応じて変化する。つまり、1 番目の垂直同期信号を受けると、D F / F 1 1 の出力端子 Q からはハイレベルの信号が AND ゲート 3 1 0 2 に送られる。2 番目の垂直同期信号を受けると、D F / F 1 1 の出力端子 Q

からはローレベルの信号がANDゲート3102に送られる。

【0160】

ANDゲート3102の出力がハイレベルの場合（1番目の垂直同期信号を受けた場合）、DF/F13の出力端子Qからの信号が、EX-ORゲート3103及びインバータ3107を介して、交流化スイッチ切替信号REVとして出力される（水平同期信号を2分周した信号が交流化スイッチ切替信号REVとして出力される。）。これに対して、ANDゲート3102の出力がローレベルの場合（2番目の垂直同期信号を受けた場合）、DF/F13の出力端子Qからの信号を反転したものが、EX-ORゲート3103及びインバータ3107を介して、交流化スイッチ切替信号REVとして出力される。以降、3番目、4番目、…の垂直同期信号に対して同様の動作が行われる。なお、交流化スイッチ切替信号/REVは、基本的に交流化スイッチ切替信号REVと同じであるので、動作説明については、省略する。

【0161】

偶数ラインパネルにおいては、以上のように、交流化スイッチ切替信号REVは、DF/F11の出力信号に応じてフレーム毎に反転し、結果的に、REV→/REV→REV→/REVと切り替わって出力されることになる。

【0162】

これに対して、奇数ラインパネルの場合、偶数/奇数ライン識別信号はローレベルとなるので、DF/F11の出力端子Qからの信号に無関係に、ANDゲート3102の出力が常にローレベルになる。したがって、DF/F13の出力端子Qからの信号を反転したものが、EX-ORゲート3103及びインバータ3107を介して、交流化スイッチ切替信号REVとして出力される。このため、交流化スイッチ切替信号REVは、フレーム毎に変化しない。

【0163】

以上のように、図8の交流化スイッチ切替信号REVも、1水平同期信号の立ち上がり時に同期して反転する信号である。なお、図10は、切替制御回路4410の主要波形を示しているが、交流化スイッチ切替信号REVは、図4と同じであるので、示していない。

【0164】

ここで、液晶表示パネル上の画素での、上記出力回路からのオフセット電圧出力分布を図9に示す。図9は、水平ライン数（図12でのゲート信号ライン3905に相当する行数）が偶数の場合を示す。オペアンプのスイッチ切替信号SWPと交流化スイッチ切替信号REVの状態による画素へのオフセット電圧の含まれ方は、前述の図4と同じである。

【0165】

図9では、一つの画素に印加される信号に含まれるオフセット電圧の極性が2フレーム毎に反転しており、4フレームで該オフセット電圧がキャンセルされている。

【0166】

ここで示す実施の形態では、先の実施の形態の場合とは異なり、液晶パネルの水平ライン数が増減されても、水平同期信号のカウント数を検討し直す必要はなく、それゆえに汎用性の高いソースドライバを実現できる。

【0167】

ここでは、オペアンプのスイッチ切替信号SWPを2フレーム毎に反転させる例を挙げて説明したが、オペアンプのスイッチ切替信号SWPは、偶数フレーム2mフレーム毎に反転することでフレーム間にまたがってのオフセット電圧（A，B）のキャンセルが適切に行われるものであり、奇数フレーム（2m-1）毎の反転では極性の出現に偏りが生じてしまう。

【0168】

したがって、オペアンプのスイッチ切替信号SWPは、2m（mは自然数）個のフレーム毎に反転するように設定する必要がある。

【0169】

以上、説明した液晶表示パネルの駆動方法（フレーム間で正負逆のオフセット電圧を含ませる駆動方法）の具体的実現方法は、一例であり、特にこれに限定されるものではない。本主旨を逸脱しない範囲で様々な変更が可能であることは言うまでもない。

【0170】

例えば、図 1 での切替回路において、水平同期信号（ラッチ信号ともいう。）を用いているが、水平同期信号とほぼ同じタイミングで出力されるスタートパルス信号（この場合は、ソースドライバ内のシフトレジスタ回路 4 4 0 3 を転送されていない、つまり、コントローラ 3 8 0 4 から出力された直後の信号）を使用しても同じような回路構成にて実現できる。

【 0 1 7 1 】

また、図 1 での切替制御信号は、ソースドライバ内に設置された例で説明しているが、切替制御回路 4 4 0 9 を図 1 1 のコントローラ 3 8 0 4 に設置し、オペアンプのスイッチ切替信号 SWP や交流化スイッチ切替信号 REV をソースドライバへ出力する構成でもよいし、水平同期信号の分周回路部若しくは垂直同期信号の 2 分周回路部（周波数を $1/2$ に分周する回路部）やこれに付随する切替部を、ソースドライバやコントローラの回路規模や回路間の配線を考慮して、上記回路部をコントローラかソースドライバに分離して設置してもよい。図 8 の切替制御回路 4 4 1 0 の場合も同様である。

【 0 1 7 2 】

本発明に係る液晶表示装置の駆動装置は、以上のように、ドット反転方式により液晶表示装置を駆動する液晶駆動装置の出力段が、同相の表示入力信号と逆相の表示入力信号を第 1 の切替手段で切り替えて増幅し、さらに第 2 の切替手段で切り替えて出力する第 1 の差動増幅部と第 2 の差動増幅部で構成されているものであって、前記液晶表示装置を走査する水平同期信号あるいは 1 水平同期期間毎に出力される信号をカウントし、別途設定する前記液晶表示装置の水平走査線数 k とは $k \neq c \times n$ （ c 及び n は共に自然数）の関係を満たす n 値をカウントするカウント手段と、前記カウント手段の結果を基に、前記第 1 の切替手段を切り替える制御手段と、前記第 2 の切替手段を、前記液晶表示装置を走査する水平同期信号あるいは 1 水平同期期間毎に出力される信号に同期を取り、1 水平同期期間毎に切り替える制御手段とを有することを特徴としている。

【 0 1 7 3 】

本発明に係る他の液晶表示装置の駆動装置は、以上のように、ドット反転方式により液晶表示装置を駆動する液晶駆動装置の出力段が、同相の表示入力信号と

逆相の表示入力信号を第 1 の切替手段で切り替えて増幅し、さらに第 2 の切替手段で切り替えて出力する第 1 の差動増幅部と第 2 の差動増幅部で構成されているものであって、フレームの先頭を表す垂直同期信号をカウントし、 $f = 2 \times m$ (m は自然数であり、垂直同期信号数号を表す) の関係を満たす f 値をカウントするカウント手段と、前記カウント手段の結果を基に、前記第 1 の切替手段を切り替える制御手段と、前記第 2 の切替手段を、前記液晶表示装置を走査する水平同期信号あるいは 1 水平同期期間毎に出力される信号に同期を取り、1 水平同期期間毎に切り替える制御手段とを有することを特徴としている。

【 0 1 7 4 】

上記制御手段には、前記液晶表示装置が偶数行パネルか奇数行パネルかを識別し、この識別結果により、前記垂直同期信号の入力毎に前記第 2 の切替手段からの信号を同相か、もしくは前記フレーム毎による同相／逆相に切り替える切替手段をさらに有することが好ましい。

【 0 1 7 5 】

本発明に係る液晶表示装置の駆動方法は、以上のように、ドット反転方式により液晶表示装置を駆動する液晶駆動装置の出力段が、同相の表示入力信号と逆相の表示入力信号を第 1 の切替手段で切り替えて増幅し、さらに第 2 の切替手段で切り替えて出力する第 1 の差動増幅部と第 2 の差動増幅部で構成されているものであって、前記第 1 の差動増幅部と第 2 の差動増幅部の出力に含まれる各々の偏差が前記液晶表示装置の画素への信号電圧に加味されて印加される際、前記液晶表示装置の水平走査線数 k とは $k \neq c \times n$ (c 及び n は共に自然数) の関係で、フレーム内あるいは次のフレームにまたがって連続して順次走査される n 水平ライン毎に前記画素には前記偏差とは絶対値が同じで極性が異なる偏差が印加されるように駆動することを特徴としている。

【 0 1 7 6 】

本発明に係る他の液晶表示装置の駆動方法は、以上のように、ドット反転方式により液晶表示装置を駆動する液晶駆動装置の出力段が、同相の表示入力信号と逆相の表示入力信号を第 1 の切替手段で切り替えて増幅し、さらに第 2 の切替手段で切り替えて出力する第 1 の差動増幅部と第 2 の差動増幅部で構成されている

ものであって、前記第 1 の差動増幅部と第 2 の差動増幅部の出力に含まれる各々の偏差が前記液晶表示装置の画素への信号電圧に加味されて印加される際、前記液晶表示装置の $2 \times m$ (m は自然数) フレーム毎に、前記画素には前記偏差とは絶対値が同じで極性が異なる偏差が印加されるように駆動することを特徴としている。

【0177】

前記液晶表示装置が偶数行パネルか奇数行パネルかを識別し、この識別結果により、前記出力部での出力信号の切替を切替信号を同相か、もしくは前記フレーム毎による同相／逆相に切り替えて駆動することが好ましい。

【0178】

上記の発明によれば、簡単な回路の付加や、コントローラースソースドライバ間や、各ソースドライバ間の配線の増加も極力防ぐことができ、したがって、液晶表示モジュールの小型化および低消費電力化には全く問題にはならない。

【0179】

また、先述したように、消費電力の大きいオペアンプを削減したタイプに適用することによる低消費電力のメリットはそのまま維持されている。

【0180】

このように、本発明は、表示むらを防止し高表示品位を実現すると共に、液晶表示装置の特性を生かした携帯用機器への展開を容易にするものである。

【0181】

【発明の効果】

本発明に係る液晶表示装置の駆動装置は、以上のように、同相または逆相の入力信号を増幅する第 1 及び第 2 増幅回路と、これら 2 つの入力信号を選択的に切り替えて上記の第 1 及び第 2 増幅回路へ入力する第 1 切替回路と、交流化信号に基づいて上記第 1 及び第 2 増幅回路の出力信号を選択的に切り替えてマトリックス状に配された画素に出力する第 2 切替回路と、上記画素に印加されるオフセット電圧が、所定フレーム数毎に極性が切り替えられると共に、上記所定フレーム数の 2 倍のフレームでキャンセルされるように、上記第 1 及び第 2 切替回路をそれぞれ切り替える切替制御回路とを備えていることを特徴としている。

【 0 1 8 2 】

上記の発明によれば、画素に印加されるオフセット電圧の極性が、切替制御回路によって、所定フレーム数毎に切り替えられると共に、上記オフセット電圧が、切替制御回路によって、上記所定フレーム数の2倍の数のフレームでキャンセルされるように第1及び第2切替回路はそれぞれ切り替えられる。

【 0 1 8 3 】

このように、液晶駆動出力端子ごとのオフセット電圧のバラツキは、各々の画素での上記所定数のフレーム間でキャンセルされるので、人の目に表示むらとして識別されることはなく、良質な表示が行える。これにより、非常に信頼性の高い液晶表示装置の駆動装置を提供することができるという効果を奏する。

【 0 1 8 4 】

上記切替制御回路は、水平同期信号または1水平同期期間毎に出力される信号をカウントし、このカウント値の整数倍が水平ライン数に等しくならないように分周した第1切替信号に基づいて上記第1切替回路の切り替えを制御すると共に、上記水平ライン数が偶数か奇数かを識別し、この識別結果と垂直同期信号とに基づいて、上記水平同期信号または1水平同期期間毎に出力される信号に同期して変化する第2切替信号を生成し、この第2切替信号に基づいて上記第2切替回路の切り替えを制御することが好ましい。

【 0 1 8 5 】

上記切替制御回路は、上記第1切替信号を出力する第1分周回路と、上記の水平同期信号または1水平同期期間毎に出力される信号に同期して変化する信号を出力する第2分周回路と、垂直同期信号に同期して変化する信号を出力する第3分周回路と、上記水平ライン数が偶数か奇数かの上記識別結果と、上記第3分周回路の出力信号とに対して論理積演算を行う論理積回路と、上記論理積回路の出力信号と、上記第2分周回路の出力信号とに対して排他的論理和演算を行う排他的論理和回路とを備え、該排他的論理和回路から上記第2切替信号が生成されることが好ましい。

【 0 1 8 6 】

この場合、論理積回路の出力信号の変化に応じて、水平同期信号または1水平

同期期間毎に出力される信号に同期して変化する信号（第 2 分周回路の出力信号）がそのまま、又は反転されたものが第 2 切替信号として出力される。つまり、第 2 切替信号は、水平同期信号に同期して変化する、水平ライン数が偶数か奇数かの識別結果と、フレームに関する情報を担う垂直同期信号との双方が反映されたものとなる。これら第 1 及び第 2 切替信号に基づいて、第 1 及び第 2 増幅回路の入力及び出力の切替制御を行うことによって、画素に印加されるオフセット電圧は、所定フレーム数毎に極性が切り替えられると共に、上記所定フレーム数の 2 倍のフレームでキャンセルをすることができるので、人の目に表示むらとして識別されることはなく、良質な表示が行える。これにより、非常に信頼性の高い液晶表示装置の駆動装置を提供することができるという効果を奏する。

【 0 1 8 7 】

本発明に係る他の液晶表示装置の駆動装置は、上記の課題を解決するために、同相または逆相の入力信号を増幅する第 1 及び第 2 増幅回路と、上記 2 つの入力信号を選択的に切り替えて上記の第 1 及び第 2 増幅回路へ入力する第 1 切替回路と、流化信号に基づいて上記第 1 及び第 2 増幅回路の出力信号を選択的に切り替えてマトリックス状に配された画素に出力する第 2 切替回路と、上記画素に印加されるオフセット電圧が、 m を自然数とすると、 $2m$ 個のフレーム毎に極性が切り替えられると共に、 $4m$ 個のフレームでキャンセルされるように、上記第 1 及び第 2 切替回路をそれぞれ切り替える切替制御回路とを備えていることを特徴としている。

【 0 1 8 8 】

上記の発明によれば、画素に印加されるオフセット電圧の極性が、切替制御回路によって、 $2m$ 個（ m は自然数）のフレーム毎に極性が切り替えられると共に、上記オフセット電圧が、切替制御回路によって、 $4m$ 個のフレームでキャンセルされるように第 1 及び第 2 切替回路はそれぞれ切り替えられる。

【 0 1 8 9 】

このように、液晶駆動出力端子ごとのオフセット電圧のバラツキは、各々の画素での上記所定数のフレーム間でキャンセルされるので、人の目に表示むらとして識別されることはなく、良質な表示が行える。これにより、非常に信頼性の高

い液晶表示装置の駆動装置を提供することができるという効果を奏する。

【0190】

上記切替制御回路は、垂直同期信号を2m分周した第3切替信号に基づいて上記第1切替回路の切り替えを制御すると共に、上記水平ライン数が偶数か奇数かを識別し、この識別結果と垂直同期信号とに基づいて、上記水平同期信号または1水平同期期間毎に出力される信号に同期して変化する第2切替信号を生成し、この第2切替信号に基づいて上記第2切替回路の切り替えを制御することが好ましい。この場合、たとえ水平ライン数が変更されても、水平同期信号の分周について検討する必要がなく、非常に汎用性の高いソースドライバを実現できるという効果を併せて奏する。

【0191】

本発明に係る液晶表示装置の駆動方法は、上記の課題を解決するために、第1及び第2増幅回路を有し、切替信号に基づいて同相入力信号と逆相入力信号を切り替えると共に、交流化信号に基づいて上記増幅回路の出力をそれぞれ切り替えてマトリックス状に配された画素に出力する液晶表示装置の駆動方法において、上記画素に印加されるオフセット電圧が、所定フレーム数毎に極性が切り替えられると共に、上記所定フレーム数の2倍のフレームでキャンセルされるように、上記切替信号および上記交流化信号を制御することを特徴としている。

【0192】

上記の液晶表示装置の駆動方法によれば、画素に印加されるオフセット電圧の極性が、切替制御回路によって、所定フレーム数毎に切り替えられると共に、上記オフセット電圧が、切替制御回路によって、上記所定フレーム数の2倍の数のフレームでキャンセルされるように第1及び第2切替回路はそれぞれ切り替えられる。

【0193】

このように、液晶駆動出力端子ごとのオフセット電圧のバラツキは、各々の画素での上記所定数のフレーム間でキャンセルされるので、人の目に表示むらとして識別されることはなく、良質な表示が行える。これにより、非常に信頼性の高い液晶表示装置の駆動方法を提供することができるという効果を奏する。

【0194】

上記切替信号および上記交流化信号の制御は、水平同期信号または1水平同期期間毎に出力される信号をカウントし、このカウント値の整数倍が水平ライン数に等しくならないように分周した第1切替信号に基づいて上記第1切替回路の切り替えを制御すると共に、上記水平ライン数が偶数か奇数かを識別し、この識別結果と垂直同期信号とに基づいて、上記水平同期信号または1水平同期期間毎に出力される信号に同期して変化する第2切替信号を生成し、この第2切替信号に基づいて上記第2切替回路の切り替えを制御することが好ましい。

【0195】

本発明に係る他の液晶表示装置の駆動方法は、上記の課題を解決するために、第1及び第2増幅回路を有し、切替信号に基づいて同相入力信号と逆相入力信号を切り替えると共に、交流化信号に基づいて上記増幅回路の出力をそれぞれ切り替えてマトリックス状に配された画素に出力する液晶表示装置の駆動方法において、上記画素に印加されるオフセット電圧が、 m を自然数とすると、 $2m$ 個のフレーム毎に極性が切り替えられると共に、 $4m$ 個のフレームでキャンセルされるように、上記切替信号および上記交流化信号を制御することを特徴としている。

【0196】

上記の発明によれば、画素に印加されるオフセット電圧の極性が、切替制御回路によって、 $2m$ 個（ m は自然数）のフレーム毎に極性が切り替えられると共に、上記オフセット電圧が、切替制御回路によって、 $4m$ 個のフレームでキャンセルされるように第1及び第2切替回路はそれぞれ切り替えられる。

【0197】

このように、液晶駆動出力端子ごとのオフセット電圧のバラツキは、各々の画素での上記所定数のフレーム間でキャンセルされるので、人の目に表示むらとして識別されることはなく、良質な表示が行える。これにより、非常に信頼性の高い液晶表示装置の駆動方法を提供することができるという効果を奏する。

【0198】

しかも、上記の液晶表示装置の駆動装置および液晶表示装置の駆動方法によれば、次のような効果を併せて奏する。即ち、液晶表示モジュールの小型化および

低消費電力化にはまったく問題にならない。また、消費電力の大きいオペアンプを削減したタイプに適用することによる低消費電力のメリットをそのまま維持できる。このように、本発明によれば、表示むらを防止し、高表示品位を実現すると共に、液晶表示装置の特性を生かした携帯用機器への展開が容易になる。

【図面の簡単な説明】

【図 1】

本発明の液晶表示装置の駆動装置の切替制御回路の構成例を示す回路図である。

【図 2】

上記の液晶表示装置の駆動装置の要部構成例を示すブロック図である。

【図 3】

本発明と従来技術の双方を説明するものであり、上記の液晶表示装置の駆動装置の出力回路の詳細な構成を示す回路図である。

【図 4】

上記の切替制御回路の入力信号波形及び出力信号波形を示す波形図である。

【図 5】

液晶表示パネル上の画素での、上記出力回路からのオフセット電圧出力分布を示す説明図である。

【図 6】

図 4 の 1 行目 1 列目の画素にに含まれるオフセット電圧を 1 4 フレームにわたって表したものを示す説明図である。

【図 7】

本発明の他の液晶表示装置の駆動装置の要部構成例を示すブロック図である。

【図 8】

本発明の他の液晶表示装置の駆動装置の切替制御回路の構成例を示す回路図である。

【図 9】

図 8 の液晶表示パネル上の画素での、上記出力回路からのオフセット電圧出力分布を示す説明図である。

【図 1 0】

図 8 の切替制御回路の入力信号波形及び出力信号波形を示す波形図である。

【図 1 1】

本発明と従来技術の双方を説明するものであり、アクティブマトリックス方式の代表例である T F T 液晶表示装置のブロック構成例を示す説明図である。

【図 1 2】

従来の T F T 液晶パネルの構成を示す説明図である。

【図 1 3】

従来の液晶駆動波形の一例を示す波形図であり、ソースドライバの出力電圧が対向電極の電圧より高い時に上記ゲートドライバの出力により T F T がオンし、画素電極へ対向電極に対して正極性の電圧が印加される場合を示している。

【図 1 4】

従来の液晶駆動波形の一例を示す波形図であり、ソースドライバの出力電圧が対向電極の電圧より低い時にゲートドライバの出力が T F T をオンして、画素電極へ対向電極に対して負極性の電圧が印加される場合を示している。

【図 1 5】

従来において、液晶駆動電圧を交流化する際の液晶パネル上の交流化の極性配列の一例を示す説明図である。

【図 1 6】

従来のドット反転駆動におけるソースドライバの駆動波形例を示す説明図である。

【図 1 7】

従来のソースドライバ I C の構成例を示すブロック図である。

【図 1 8】

(a) (b) は、第 1 従来技術に係るドット反転駆動を行うソースドライバ I C の出力回路のブロック構成図である。

【図 1 9】

(a) (b) は、第 2 従来技術に係るドット反転駆動を行うソースドライバ I C の出力回路のブロック構成図である。

【図 2 0】

従来のオペアンプが偶発的なオフセット電圧を持つ場合の液晶駆動電圧波形例を示す波形図である。

【図 2 1】

図 1 8 (a) および図 1 8 (b) の構成の場合の液晶駆動電圧波形を示す波形図である。

【図 2 2】

第 3 従来技術に係る差動増幅回路の構成例を示す回路図である。

【図 2 3】

図 2 2 の差動増幅回路の動作を示す説明図である。

【図 2 4】

図 2 2 の差動増幅回路の他の動作を示す説明図である。

【図 2 5】

図 2 3 の差動増幅回路を構成するトランジスタ間において、及び／又は負荷抵抗間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合の動作を示す説明図である。

【図 2 6】

図 2 4 の上記差動増幅回路を構成するトランジスタ間において、及び／又は負荷抵抗間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合の動作を示す説明図である。

【図 2 7】

上記第 2 従来技術に係る他の差動増幅回路を示す回路図である。

【図 2 8】

図 2 7 の差動増幅回路の動作を示す説明図である。

【図 2 9】

図 2 7 の差動増幅回路の他の動作を示す説明図である。

【図 3 0】

図 2 8 の上記差動増幅回路を構成するトランジスタ間において、及び／又は負荷抵抗間において、製造上の理由などにより偶発的に発生する特性の不一致が存

在する場合の動作を示す説明図である。

【図 3 1】

図 2 9 の上記差動増幅回路を構成するトランジスタ間において、及び／又は負荷抵抗間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合の動作を示す説明図である。

【図 3 2】

図 2 2 の差動増幅回路の負荷素子をカレントミラー構成の能動負荷に変えた回路構成を示す回路図である。

【図 3 3】

図 2 7 の差動増幅回路の負荷素子をカレントミラー構成の能動負荷に変えた回路構成を示す回路図である。

【図 3 4】

図 3 2 に示す差動増幅回路と等価な差動増幅回路と、スイッチ及び出力部を具体化した例を示す回路図である。

【図 3 5】

図 3 4 のオペアンプの動作を示す回路図である。

【図 3 6】

図 3 4 のオペアンプの他の動作を示す回路図である。

【図 3 7】

図 3 3 に示す差動増幅回路と等価な差動増幅回路と、スイッチ及び出力部を具体化した例を示す回路図である。

【図 3 8】

図 3 7 のオペアンプの動作を示す回路図である。

【図 3 9】

図 3 7 のオペアンプの他の動作を示す回路図である。

【図 4 0】

差動増幅回路を使用したドット反転駆動を行う液晶駆動回路の出力ブロック図であり、奇数番目の出力端子が正極性駆動電圧を出力し、偶数番目の出力端子が負極性駆動電圧を出力する場合を示す。

【図 4 1】

差動増幅回路を使用したドット反転駆動を行う液晶駆動回路の出力ブロック図であり、奇数番目の出力端子が負極性駆動電圧を出力し、偶数番目の出力端子が正極性駆動電圧を出力する場合を示す。

【図 4 2】

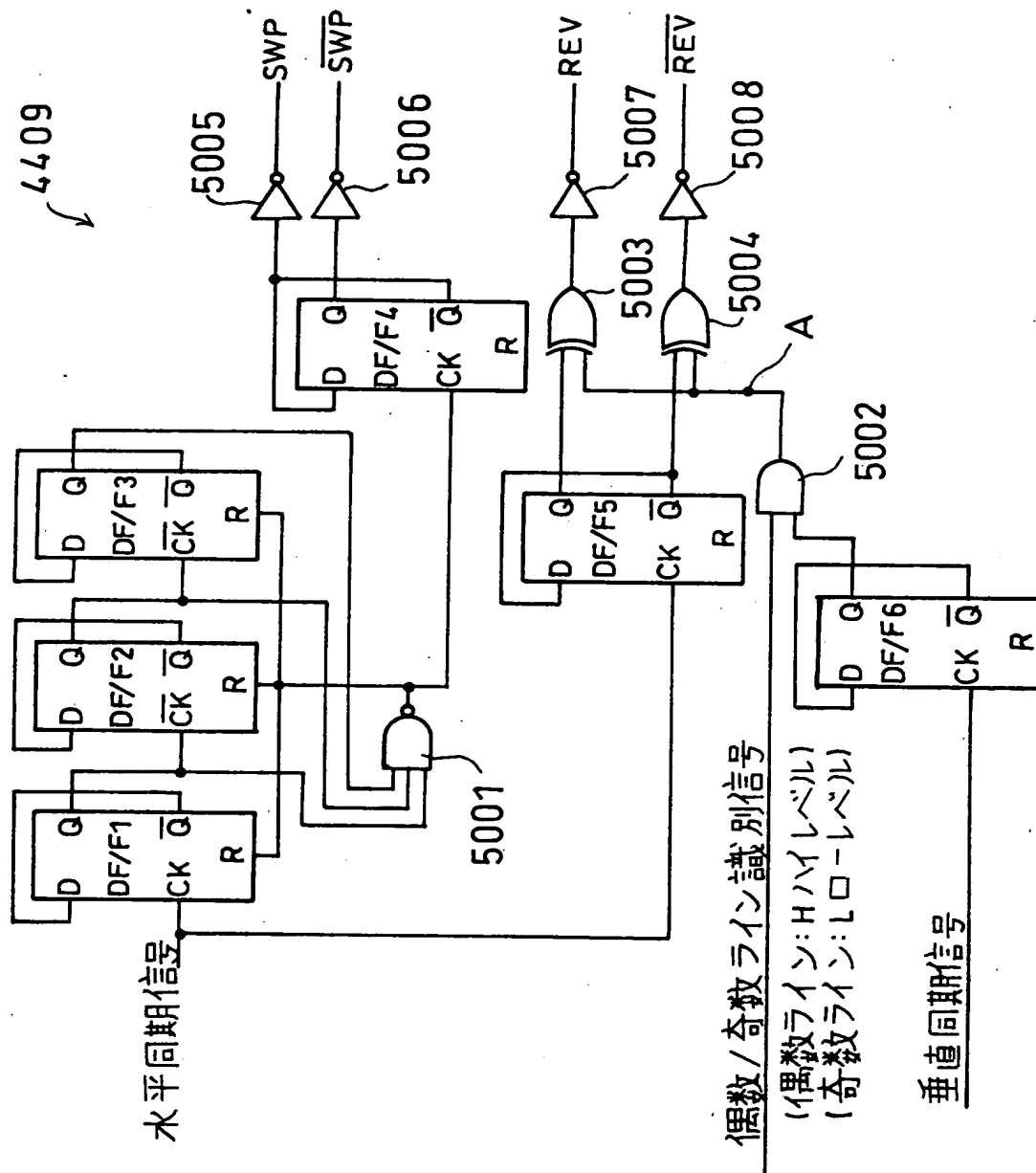
従来の交流化スイッチ切替信号 R E V、及びオペアンプのスイッチ切替信号 S W P と出力の関係を示した波形図である。

【符号の説明】

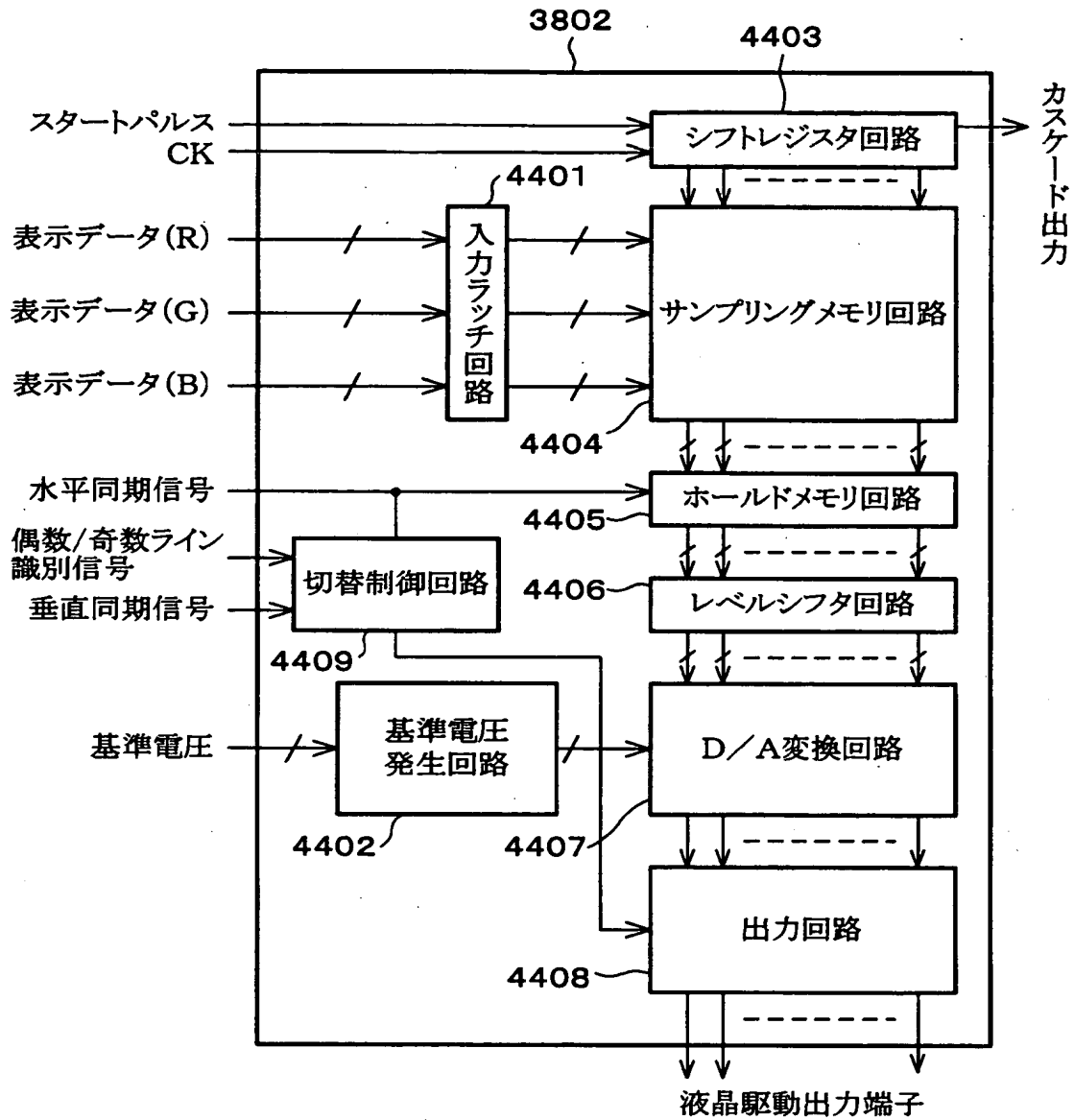
5 0 0 3	E X - O R ゲート（排他的論理和回路）
5 0 0 4	E X - O R ゲート（排他的論理和回路）
5 0 0 2	A N D ゲート（論理積回路）
4 4 0 9	切替制御回路
4 4 1 0	切替制御回路
4 4 0 8	出力回路
S W P	スイッチ切替信号（切替信号）
R E V	交流化スイッチ切替信号（交流化信号）

【書類名】 図面

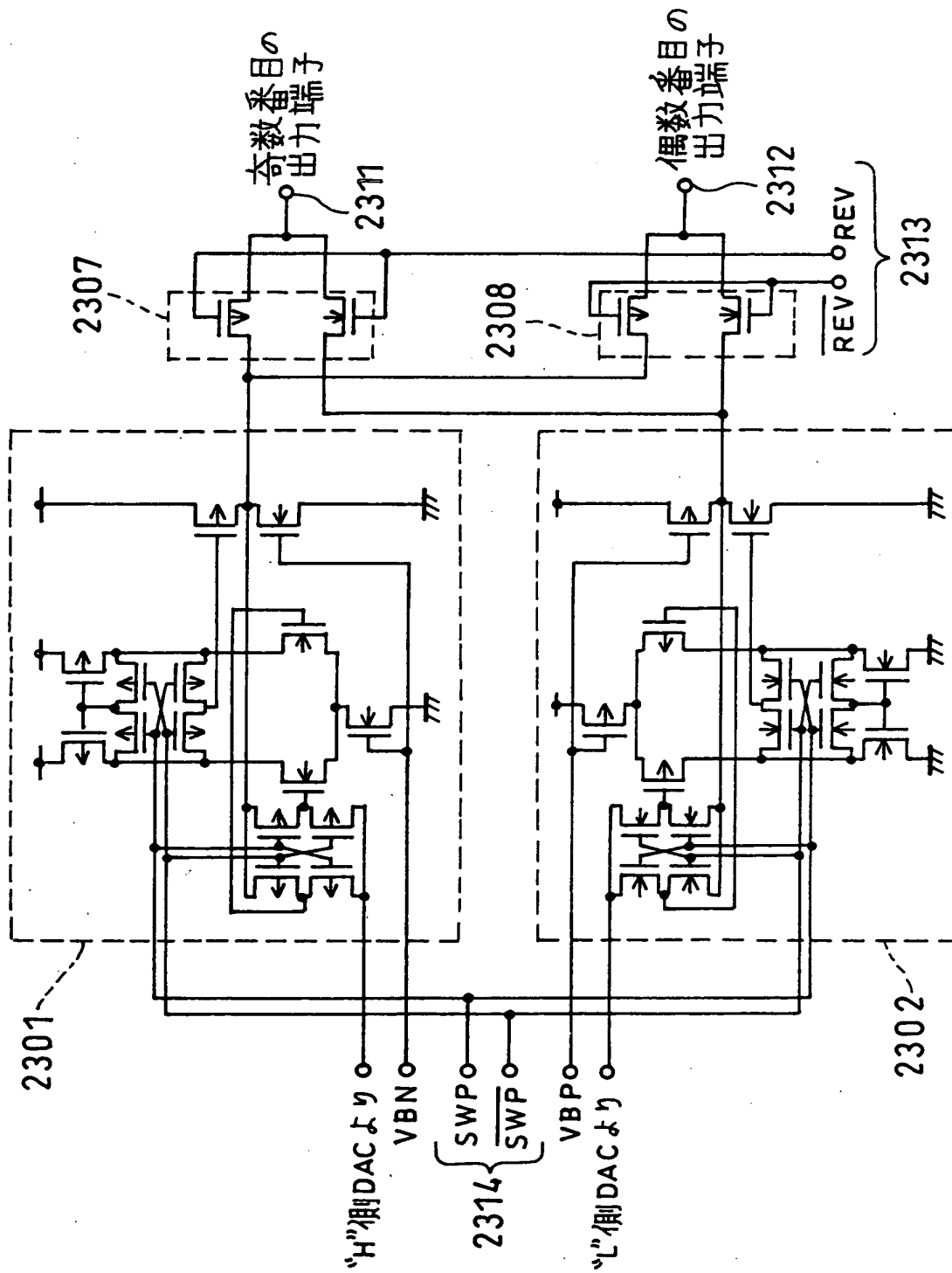
【図 1】



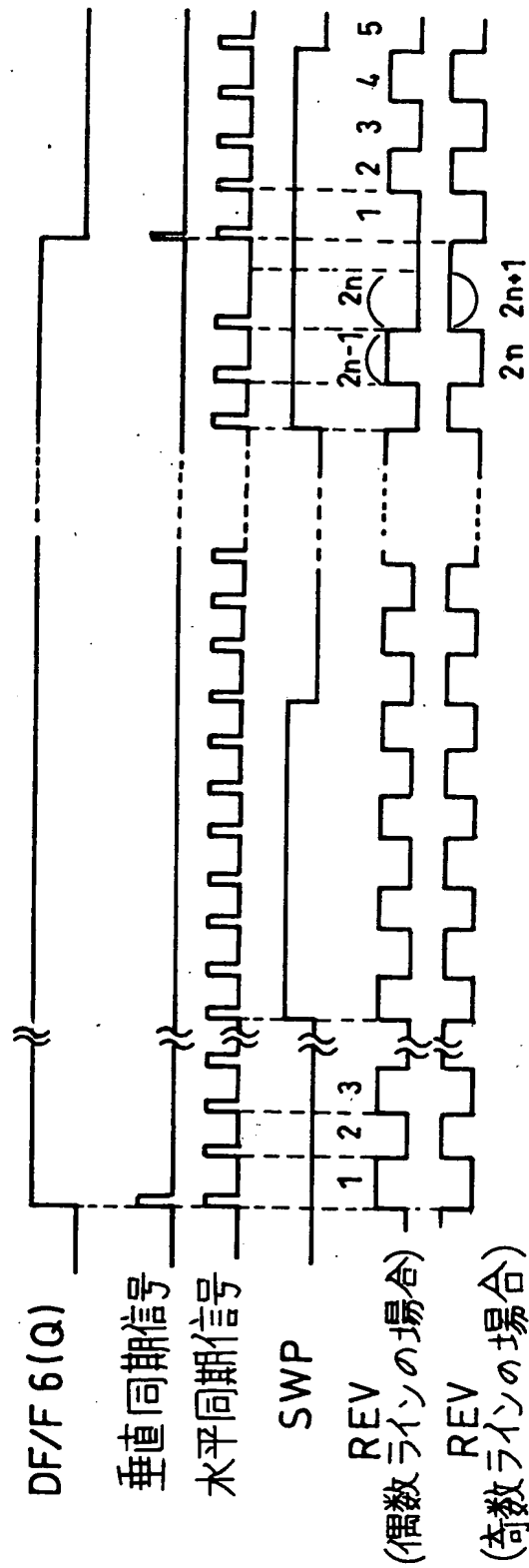
【図 2】



【図 3】



【図4】



【図 5】

偶数ライン

③	—
④	—

③	+
④	+

③	—
④	—

③	+
④	-

③	+
④	+

3	1
---	---

A: 正極性電圧
B: 負極性電圧

3	+
4	+

③	-
④	-

③	+
④	+

③	—
④	—

③	+
④	-

③	+
④	+

3	1
---	---

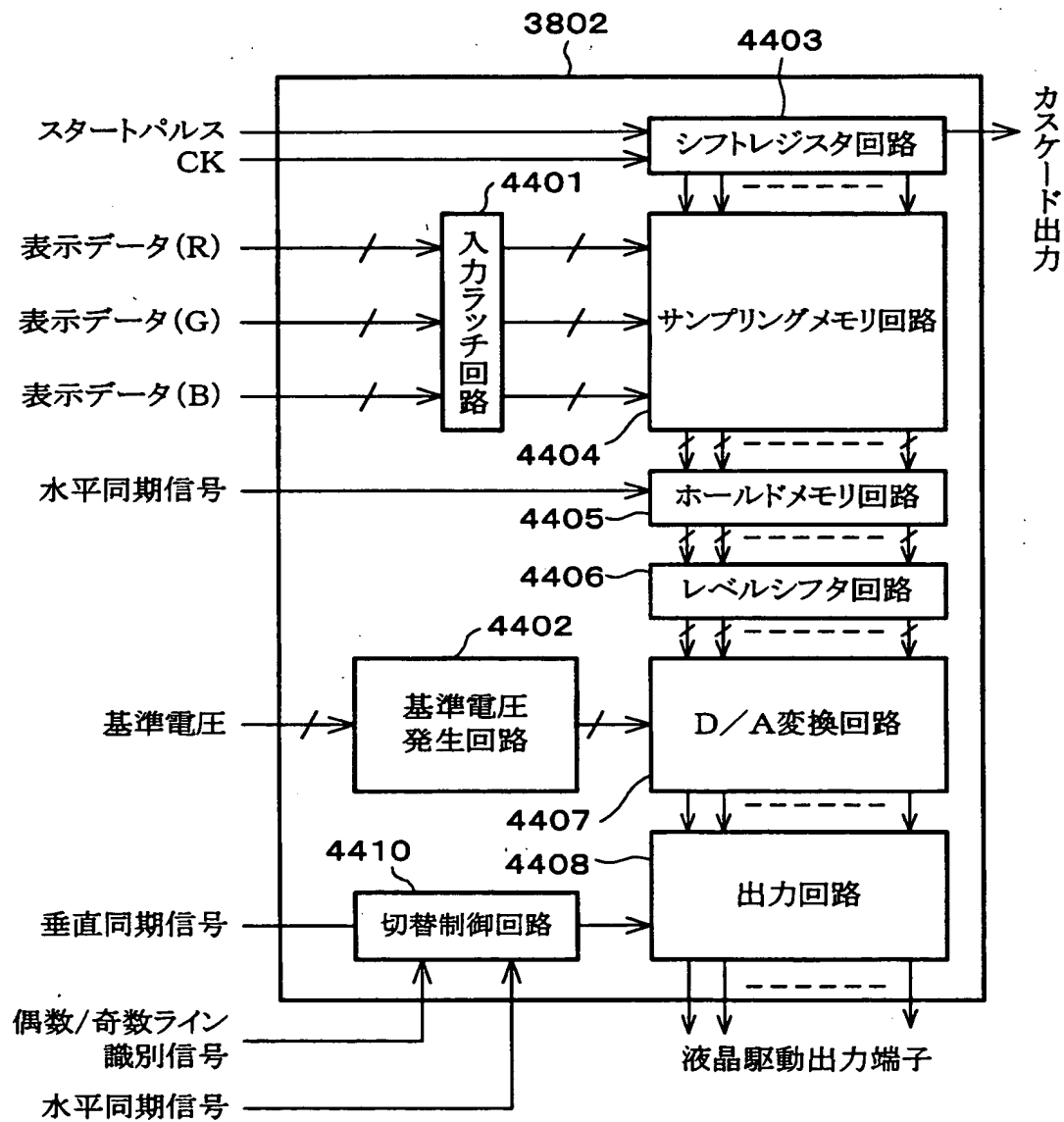
【図 6】

絵素①-⑭の印加電圧

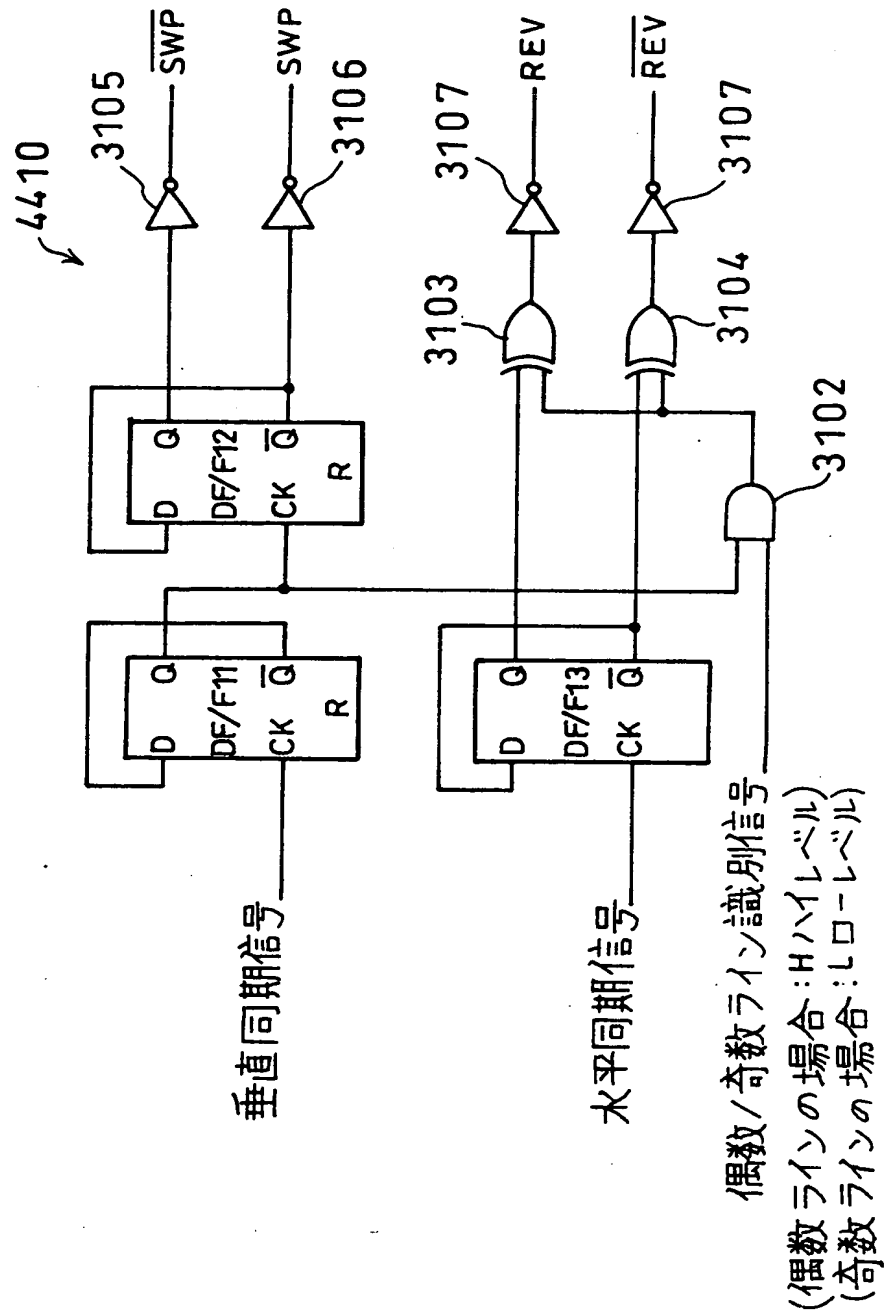
フレーム	①	②	③	④	⑤	⑥	⑦	⑧	⑨	⑩	⑪	⑫	⑬	⑭
	+A	-B	+A	-B	+A	-B	+A	+B	-A	+B	-A	+B	-A	+B

7フレーム 7フレーム

【図 7】



【図 8】



【図 9】

1フレーム

	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
①	+A	+B	+A	+B	+A	+B	+A	+B	L	L
②	+B	+A	+B	+A	+B	+A	+B	+A	H	L
③	+A	+B	+A	+B	+A	+B	+A	+B	L	L
④	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑤	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑥	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑦	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑧	+B	+A	+B	+A	+B	+A	+B	+A	H	L

2フレーム

	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
①	+B	+A	+B	+A	+B	+A	+B	+A	H	L
②	+A	+B	+A	+B	+A	+B	+A	+B	L	L
③	+B	+A	+B	+A	+B	+A	+B	+A	H	L
④	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑤	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑥	+A	+B	+A	+B	+A	+B	+A	+B	L	L
⑦	+B	+A	+B	+A	+B	+A	+B	+A	H	L
⑧	+A	+B	+A	+B	+A	+B	+A	+B	L	L

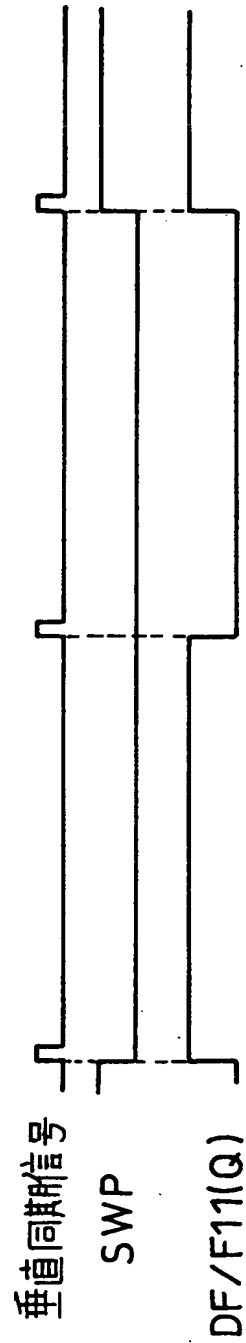
3フレーム

	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
①	-A	-B	-A	-B	-A	-B	-A	-B	L	H
②	-B	-A	-B	-A	-B	-A	-B	-A	H	H
③	-A	-B	-A	-B	-A	-B	-A	-B	L	H
④	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑤	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑥	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑦	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑧	-B	-A	-B	-A	-B	-A	-B	-A	H	H

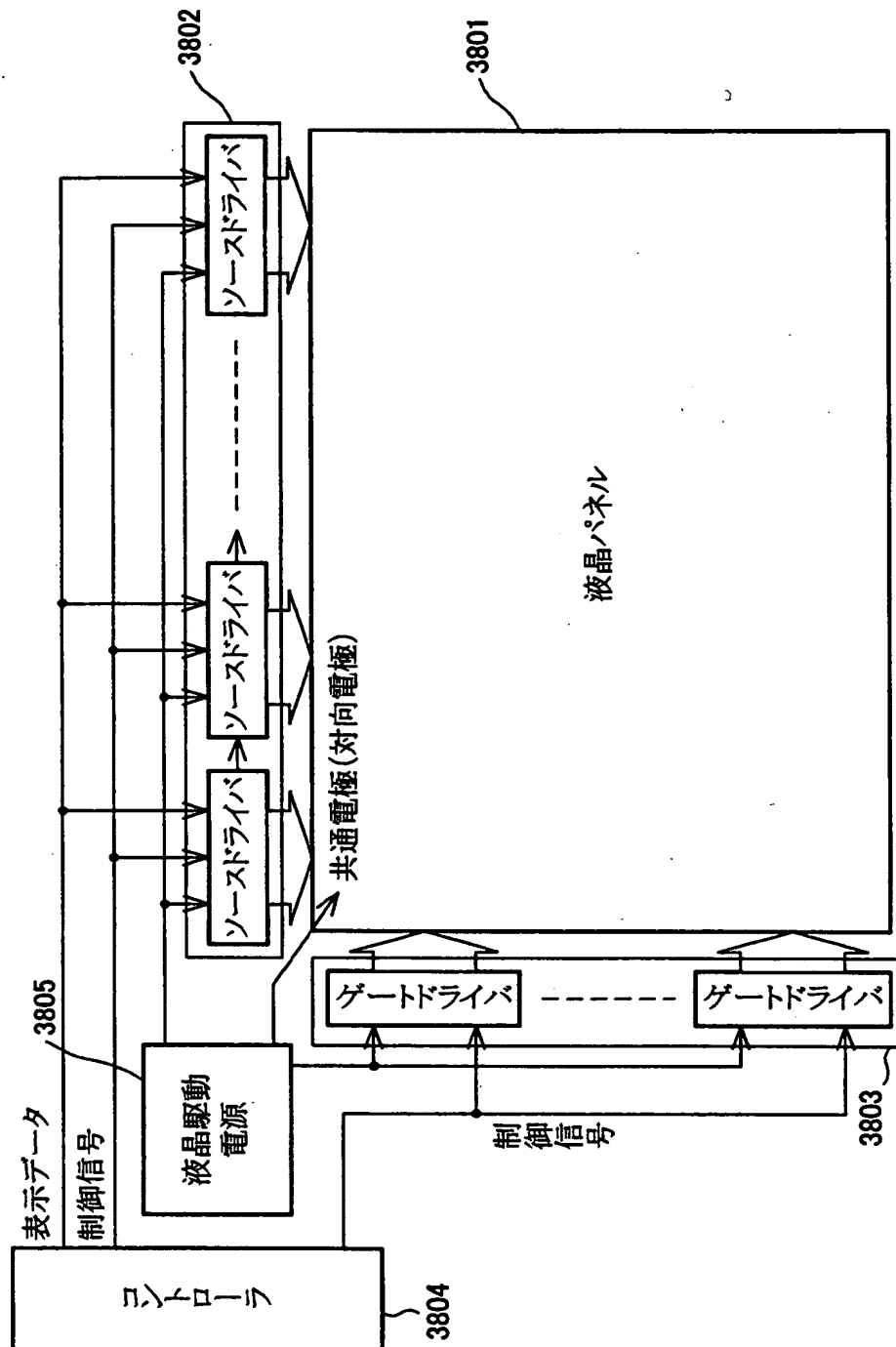
4フレーム

	①	②	③	④	⑤	⑥	⑦	⑧	REV	SWP
①	-B	-A	-B	-A	-B	-A	-B	-A	H	H
②	-A	-B	-A	-B	-A	-B	-A	-B	L	H
③	-B	-A	-B	-A	-B	-A	-B	-A	H	H
④	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑤	-B	-A	-B	-A	-B	-A	-B	-A	H	H
⑥	-A	-B	-A	-B	-A	-B	-A	-B	L	H
⑦	-A	-B	-A	-B	-A	-B	-A	-B	H	H
⑧	-B	-A	-B	-A	-B	-A	-B	-A	L	H

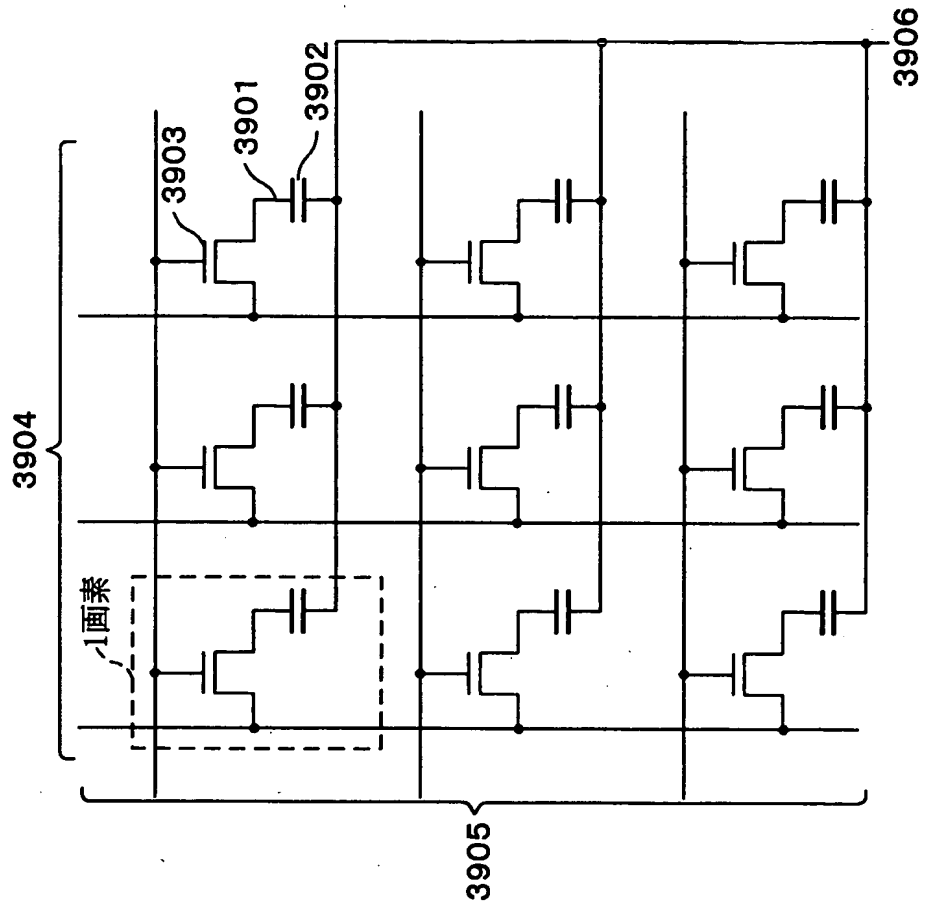
【図 1 0】



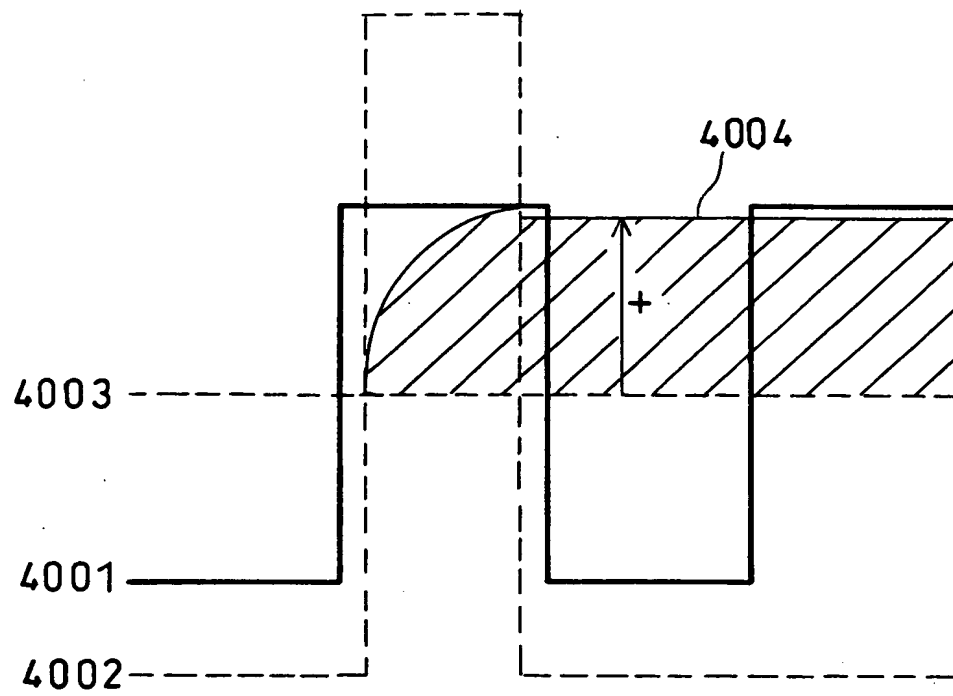
【図 11】



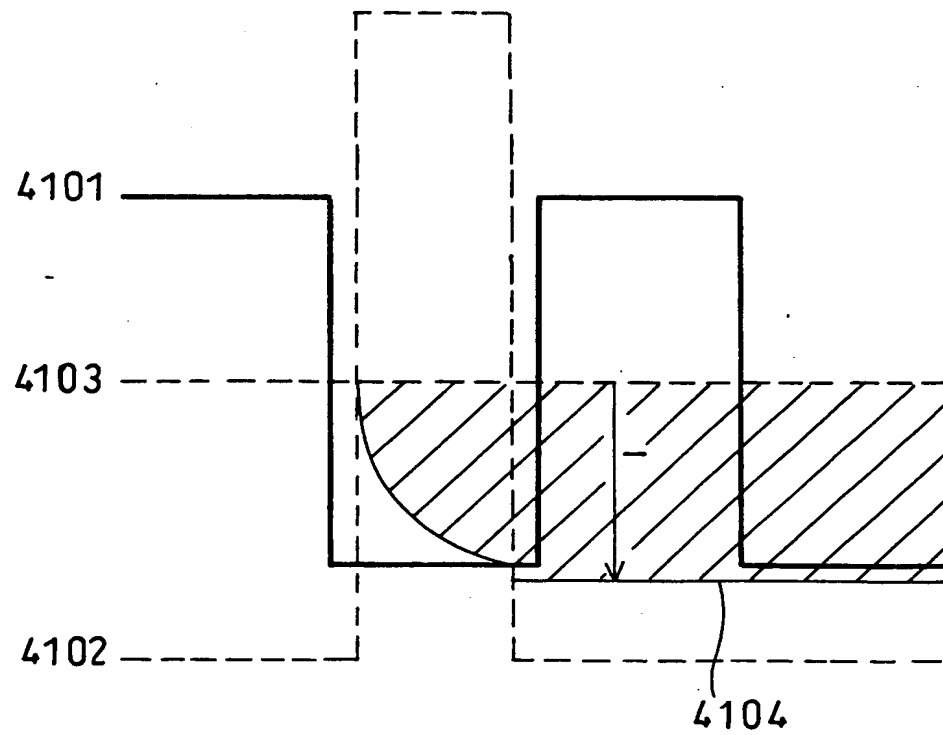
【図 1 2】



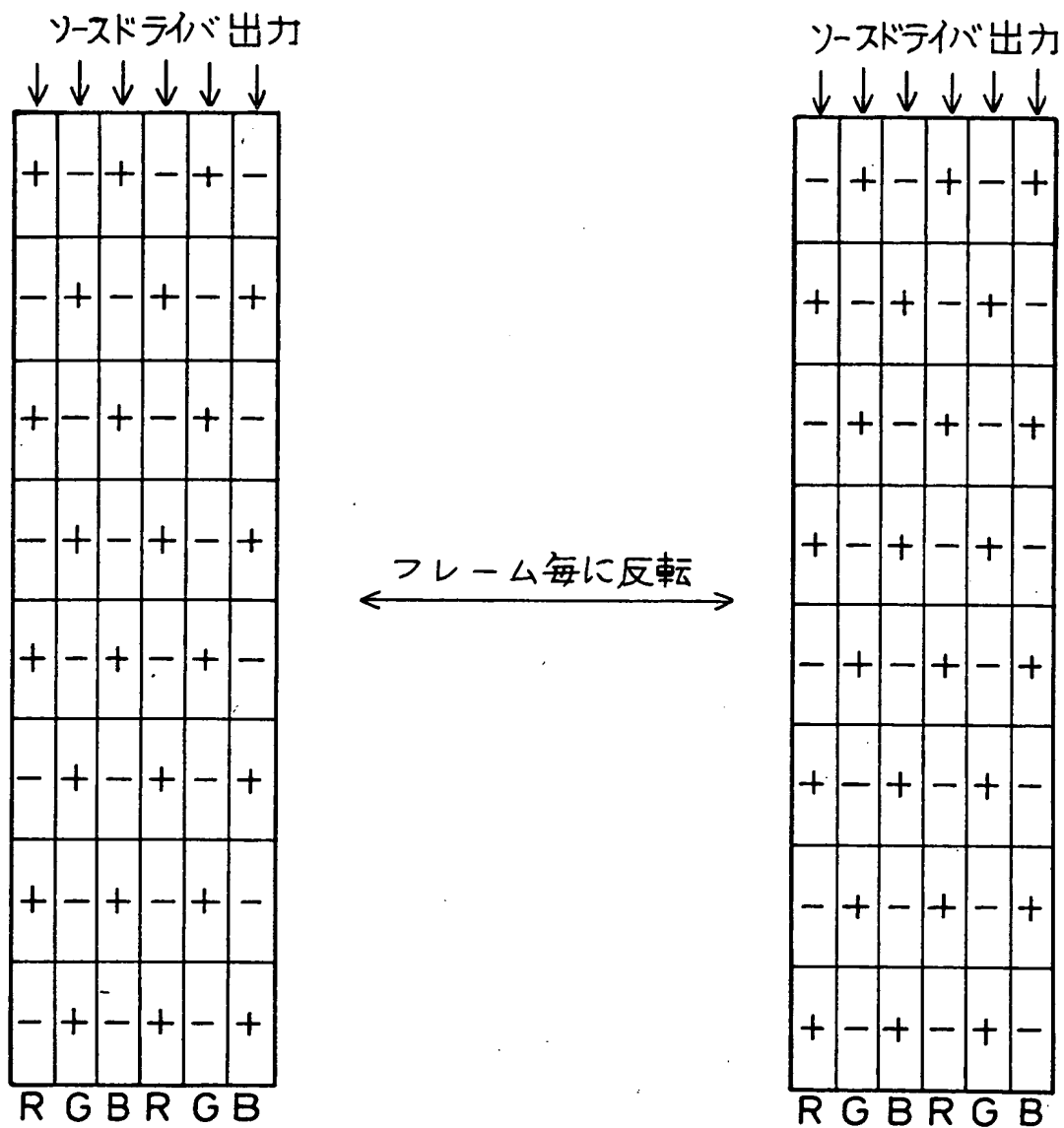
【図 1 3】



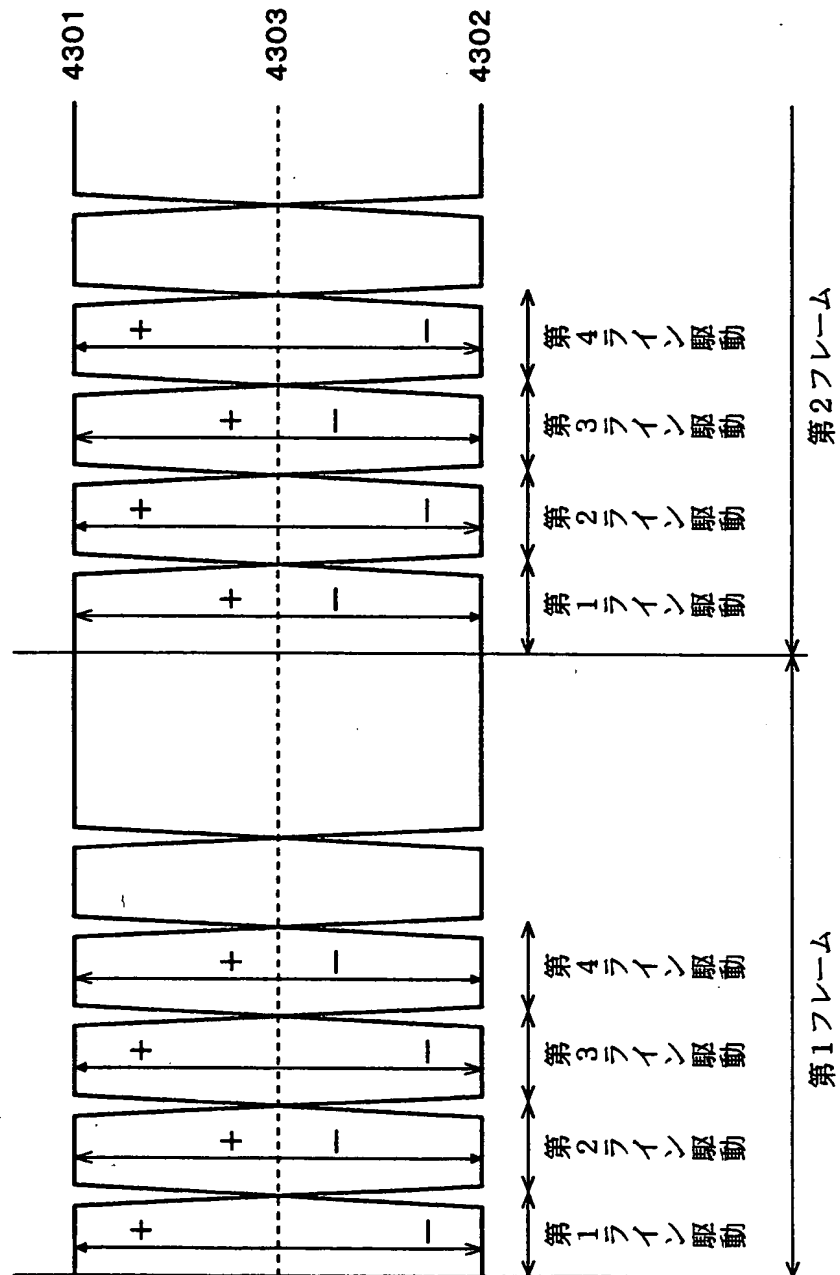
【図 1 4】



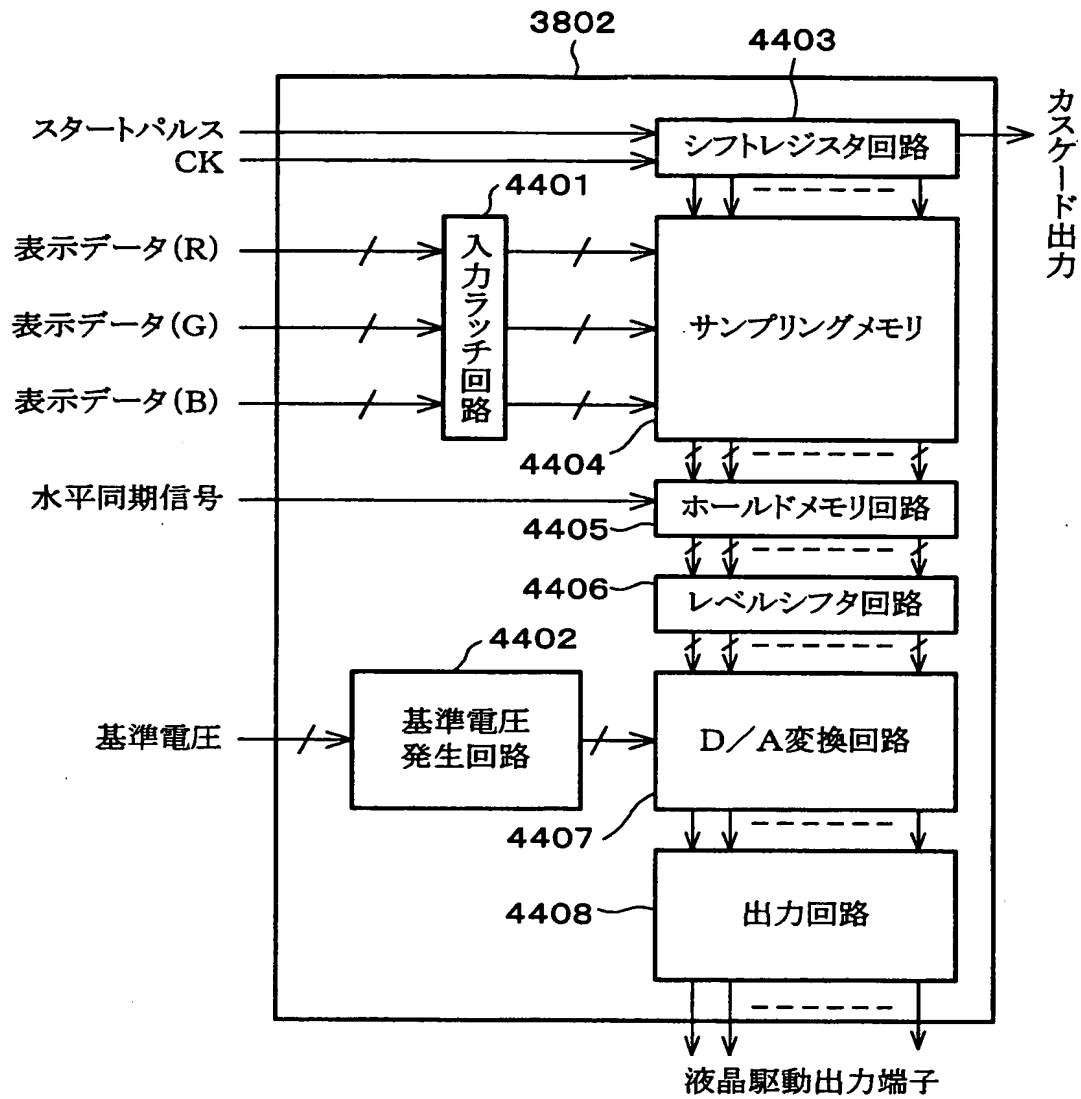
【図 1 5】



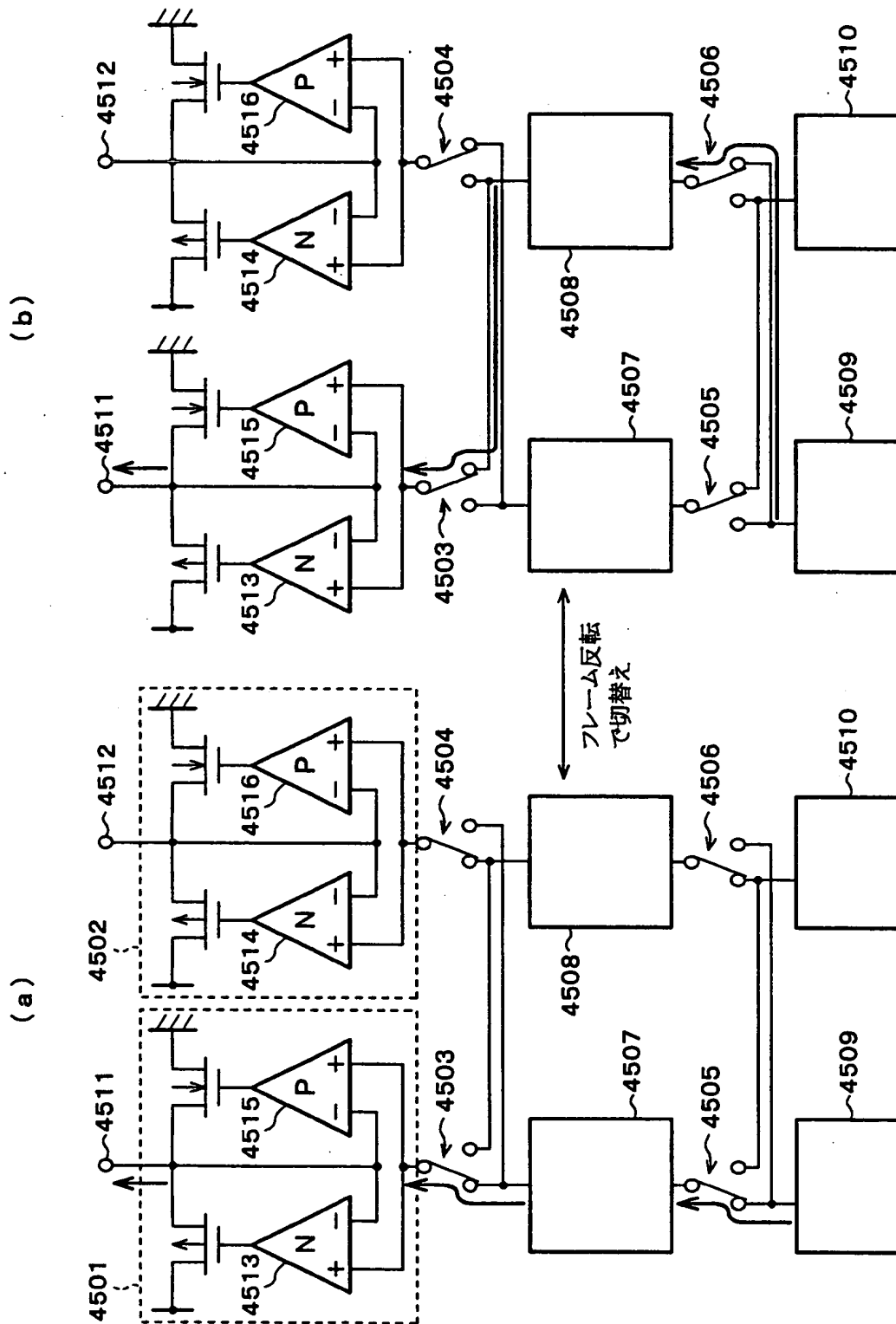
【図 16】



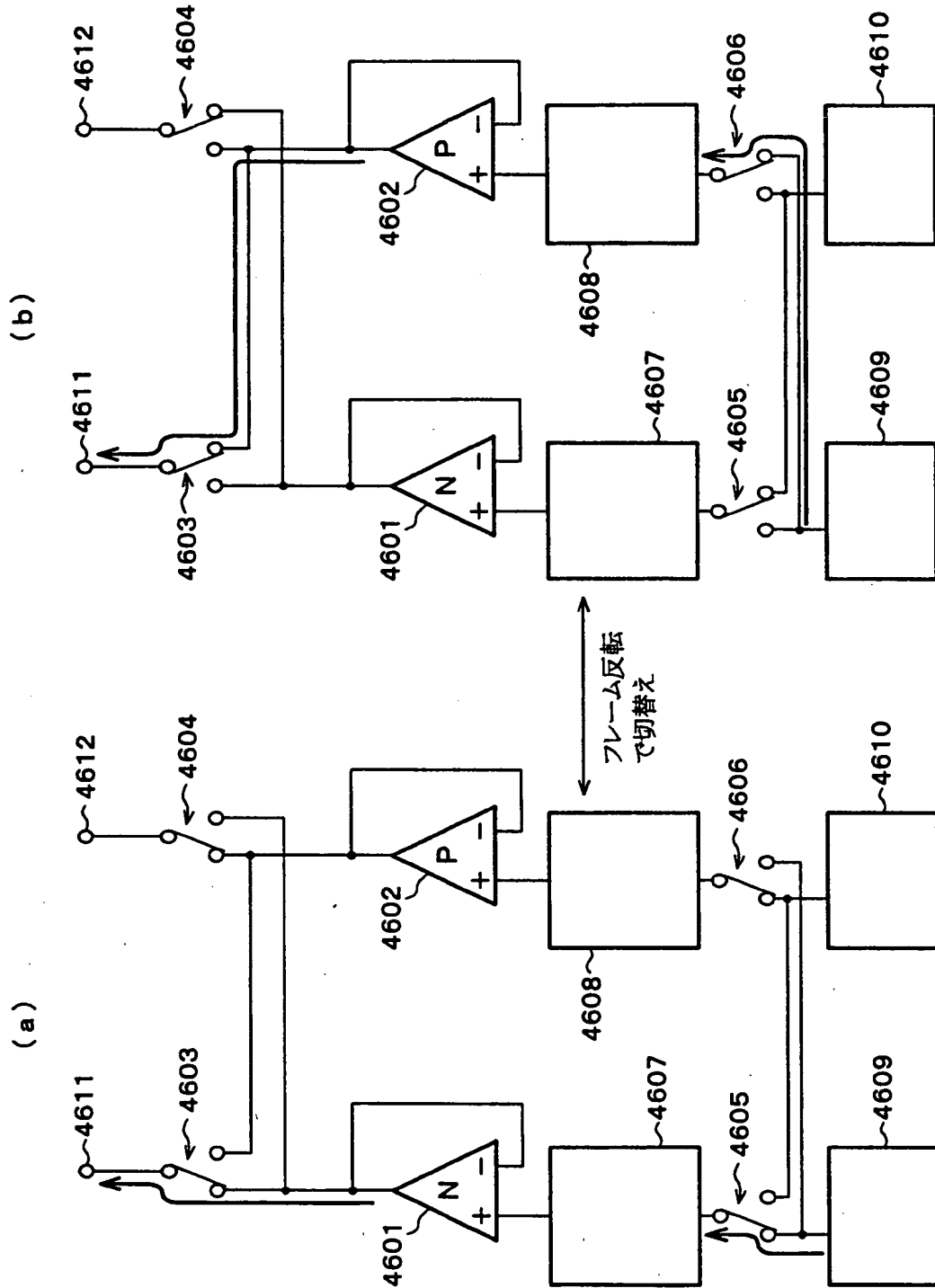
【図 17】



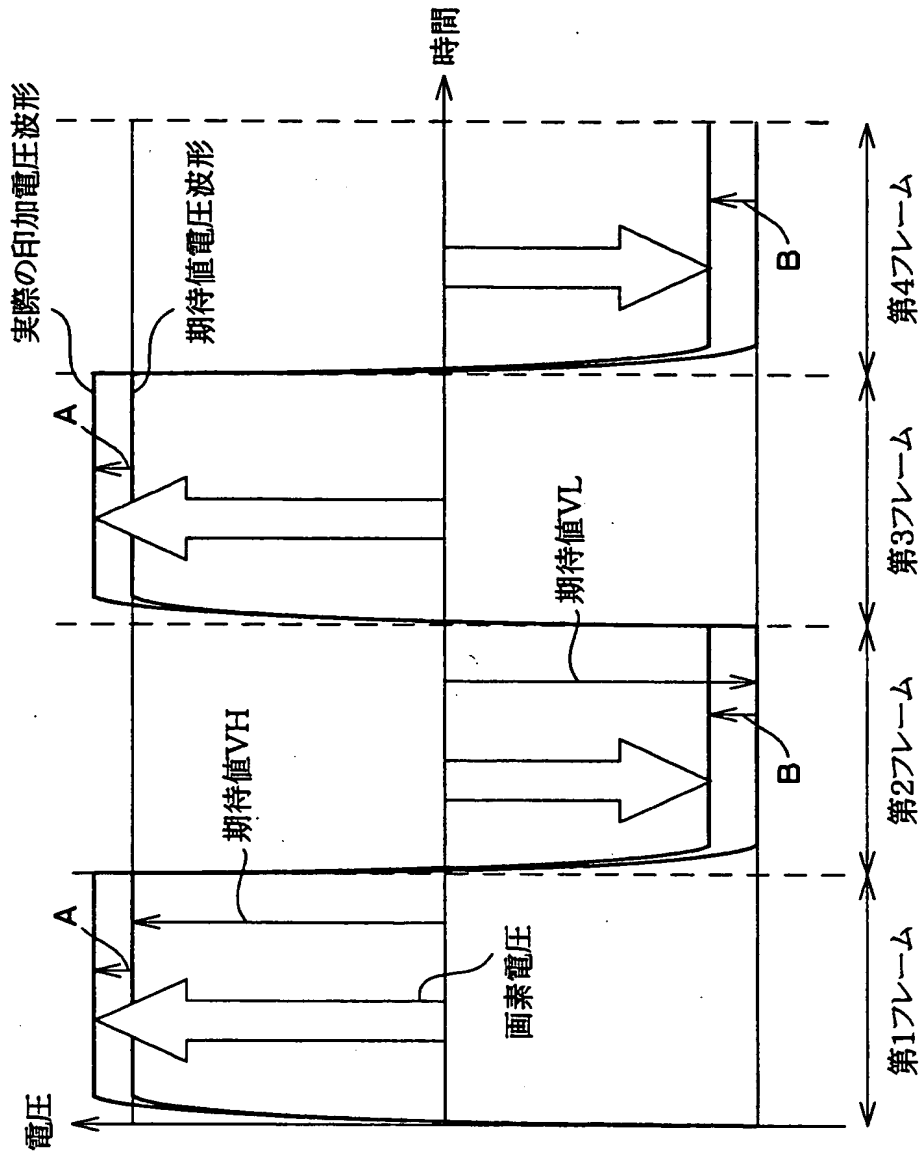
【図 18】



【図19】

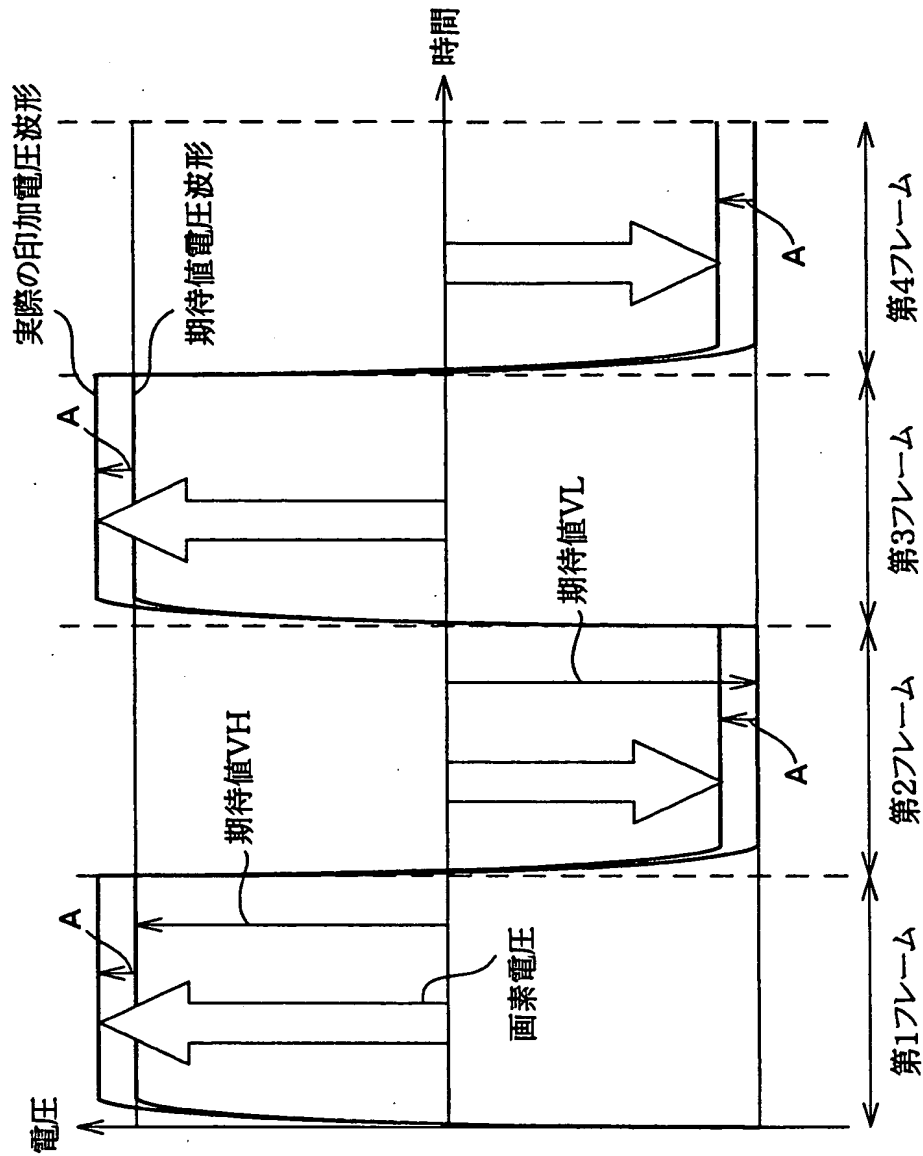


【図20】



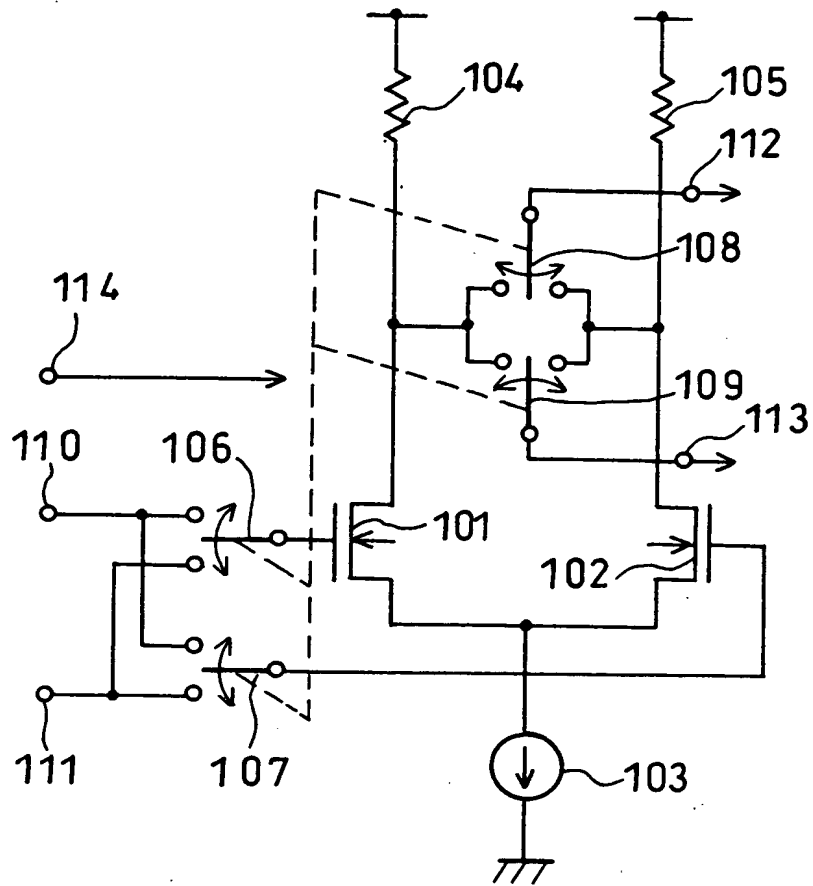
$$\begin{aligned} \text{画素電圧の平均} &= \{(VH+A) + (VL-B) + (VH+A) + (VL-B)\} \div 4 \\ &= \frac{VH+VL}{2} + \frac{A-B}{2} \end{aligned}$$

【図 21】

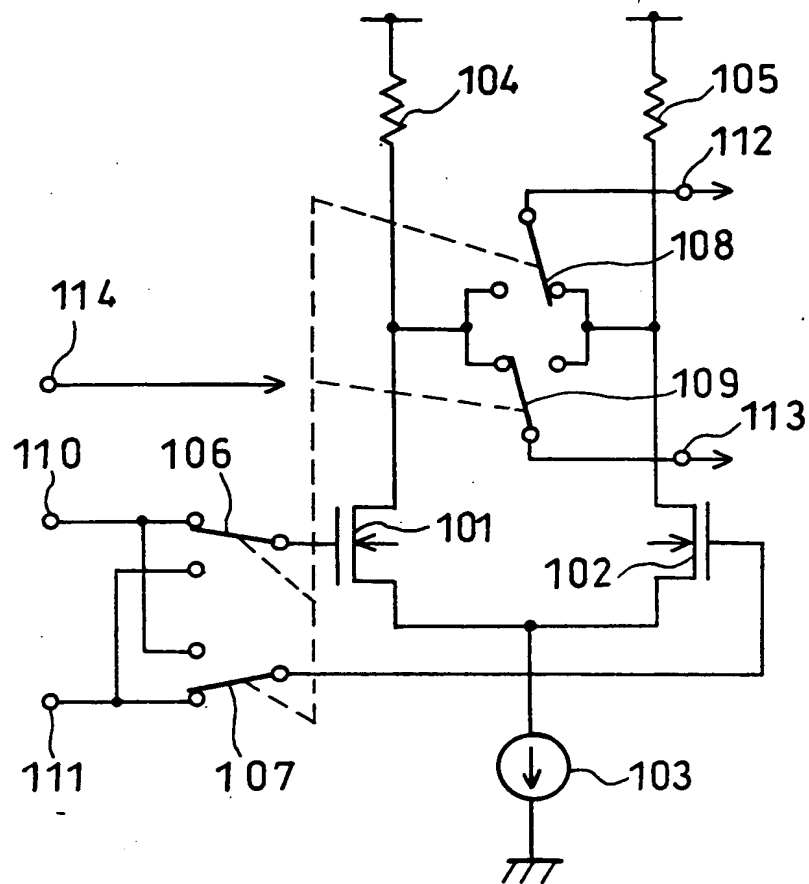


$$\begin{aligned} \text{画素電圧の平均} &= \{(VH + A) + (VL - A) + (VH + A) + (VL - A)\} \div 4 \\ &= \frac{VH + VL}{2} \end{aligned}$$

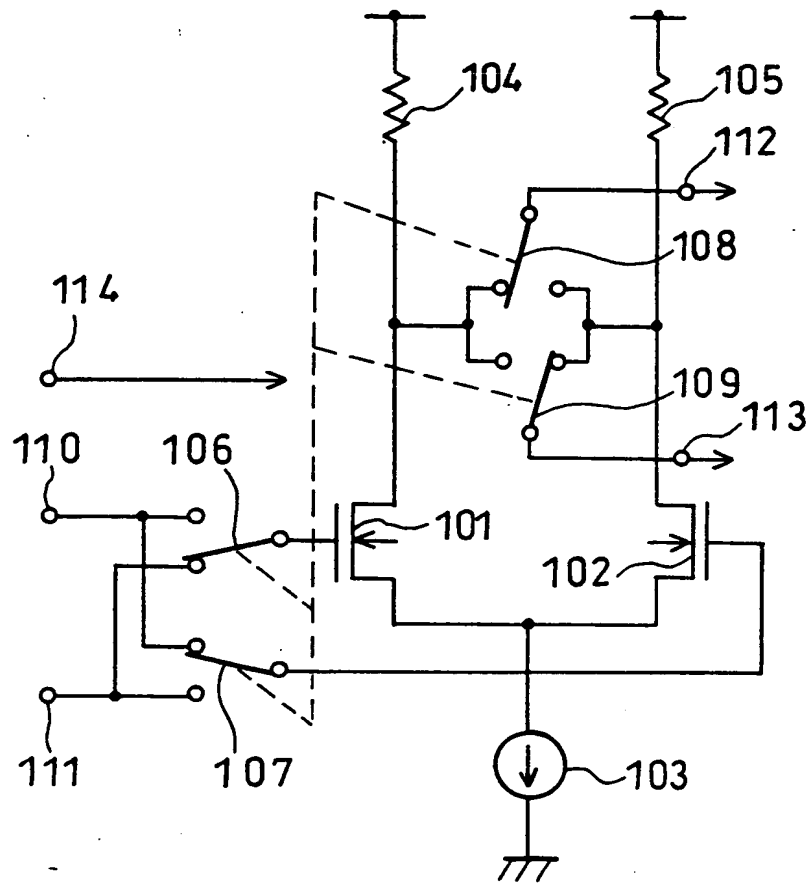
【図 2 2】



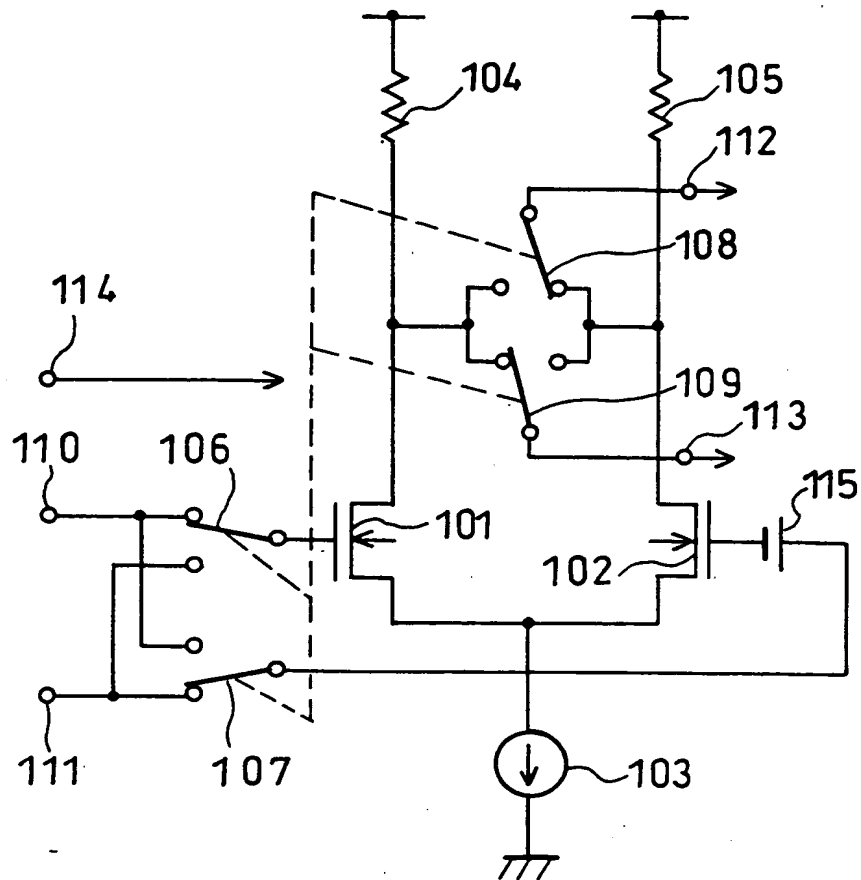
【図 23】



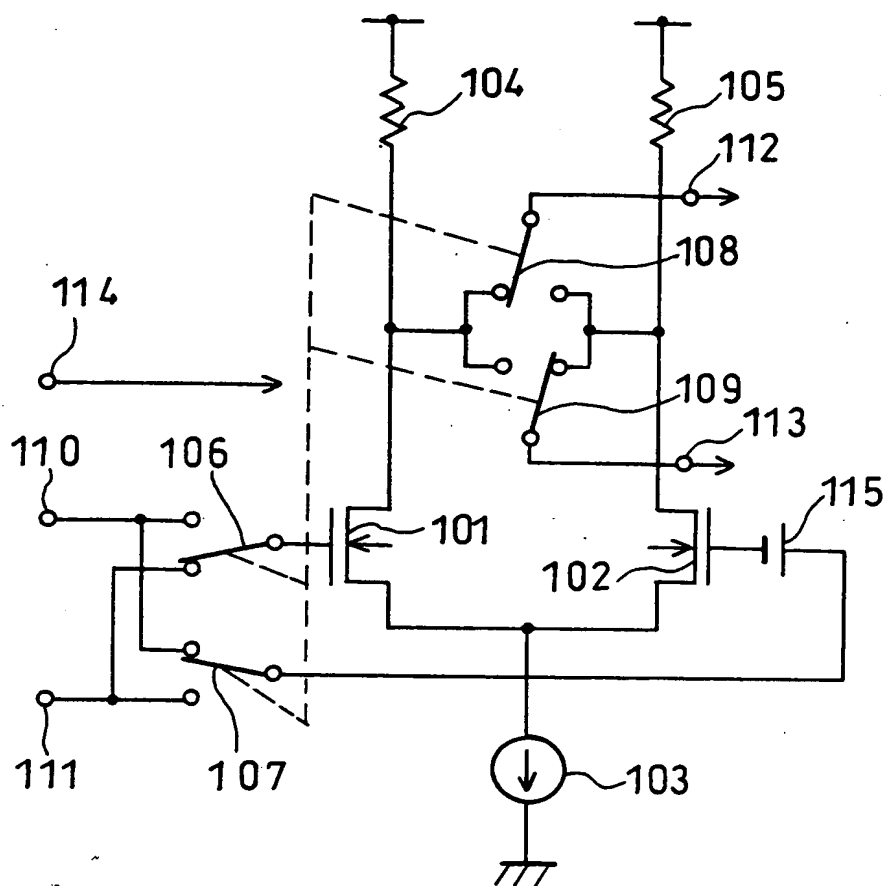
【図 24】



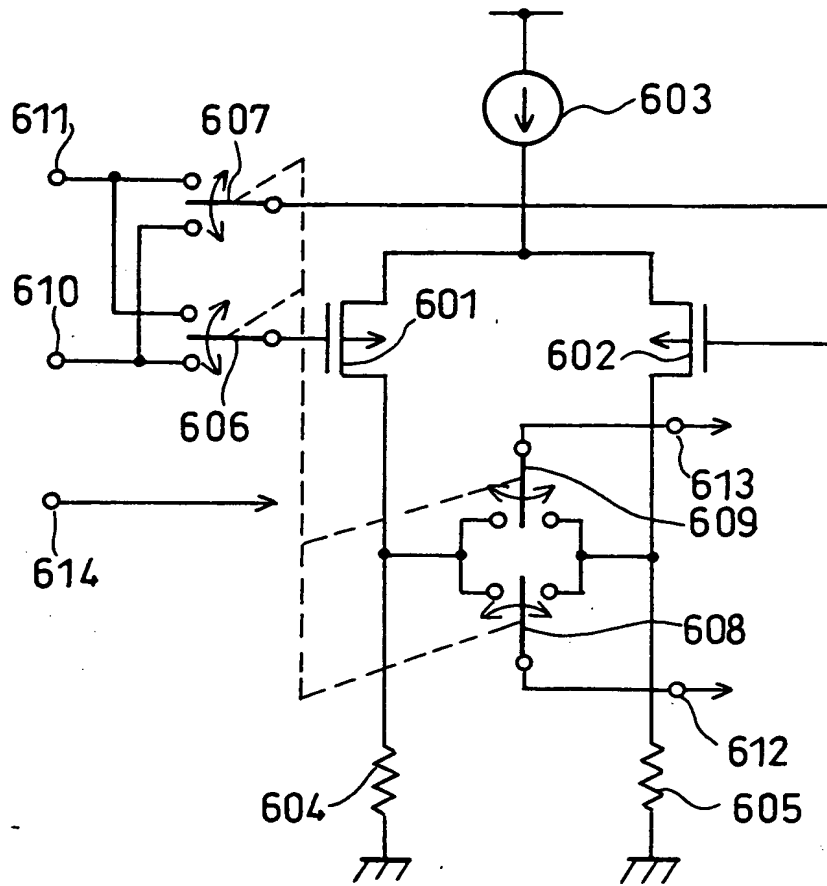
【図 25】



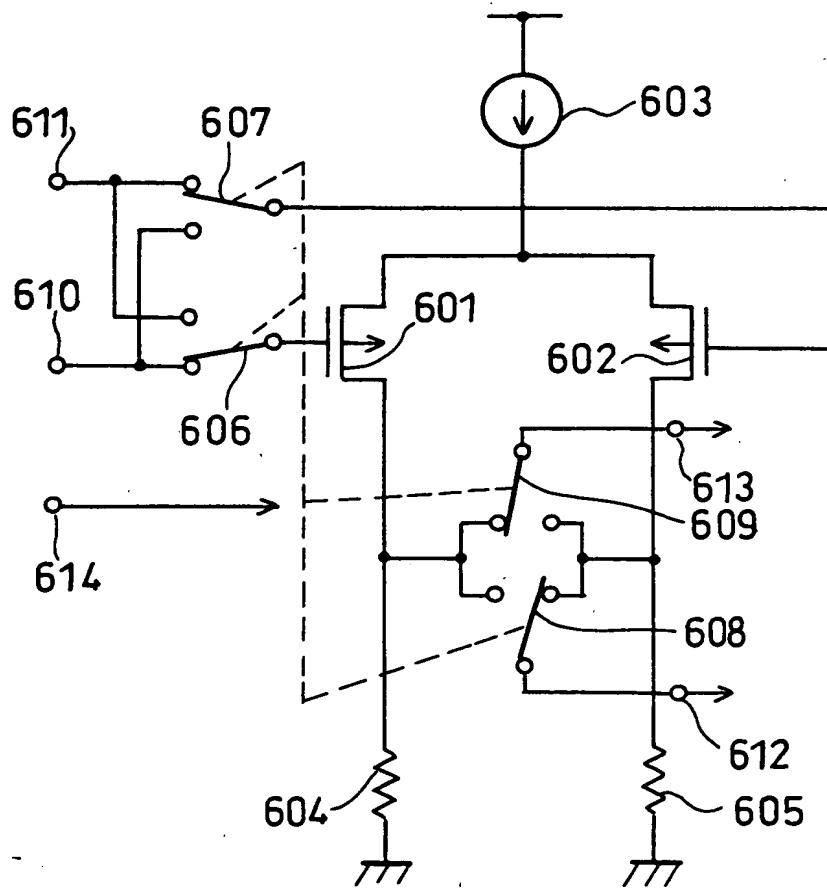
【図 26】



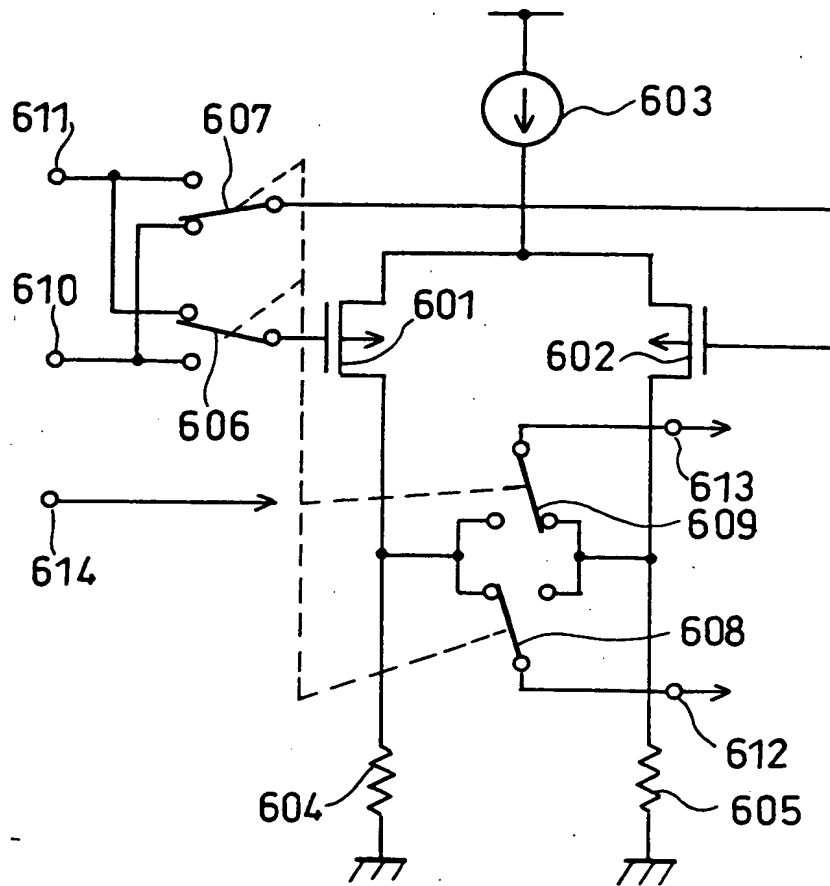
【図 2 7】



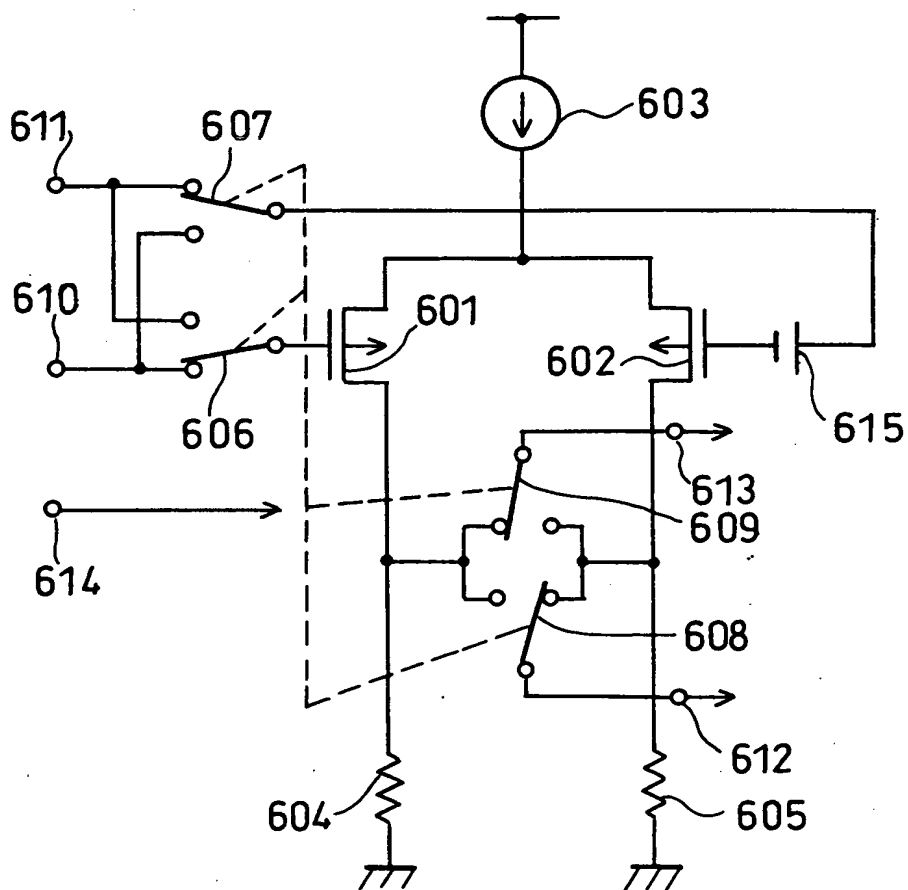
【図 2 8】



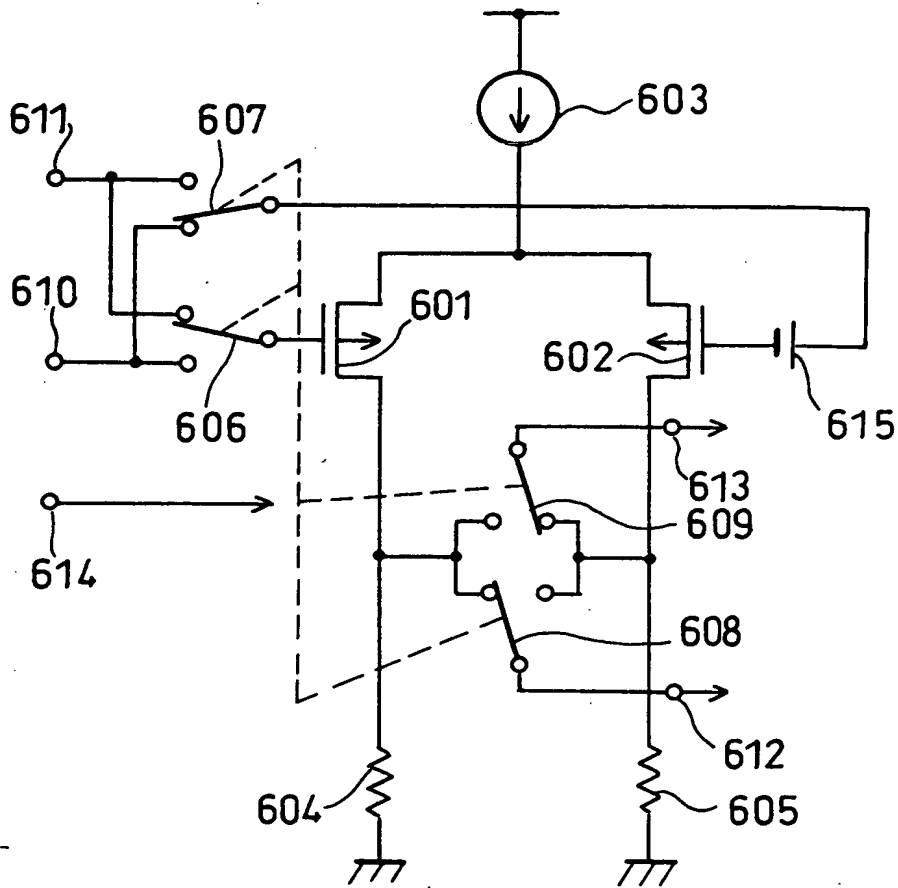
【図 2 9】



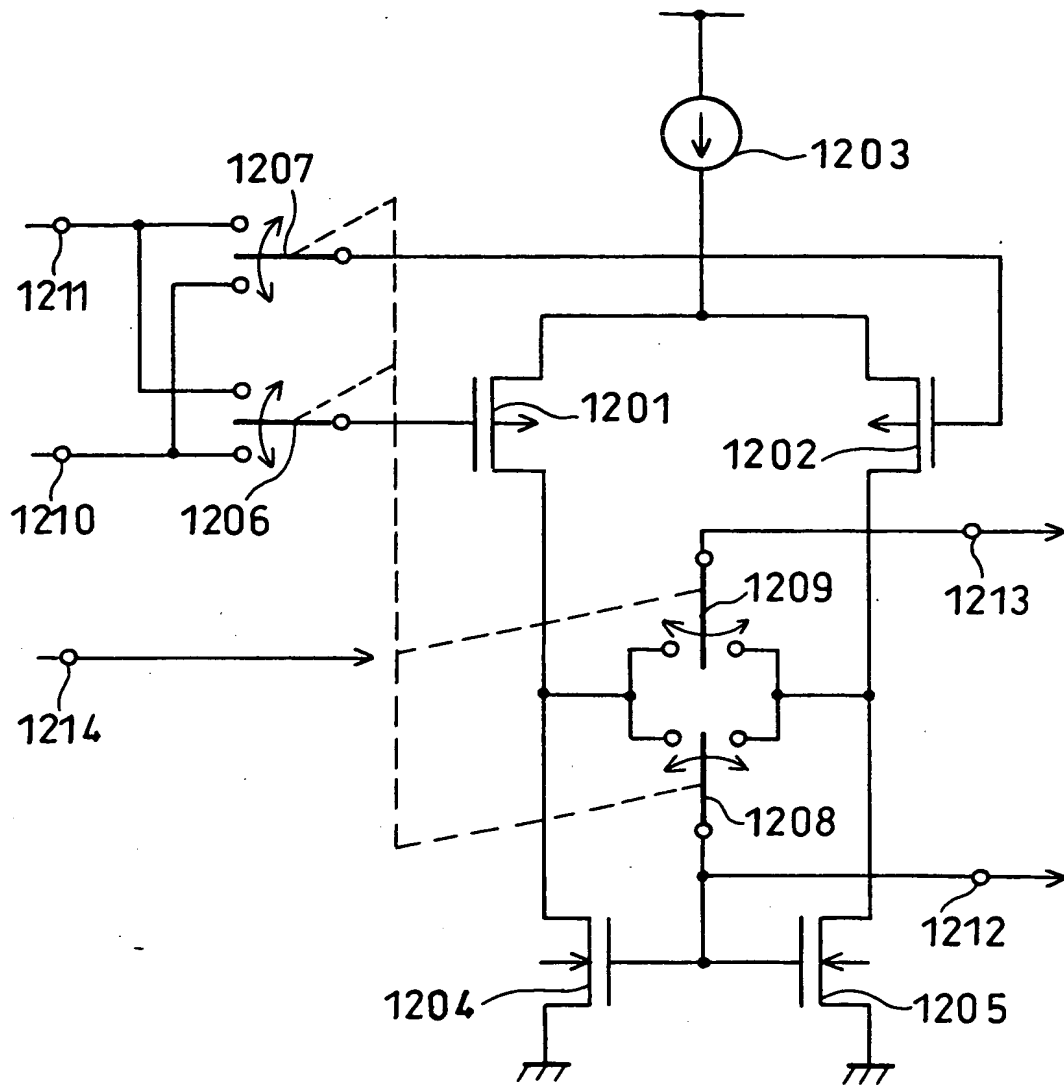
【図 30】



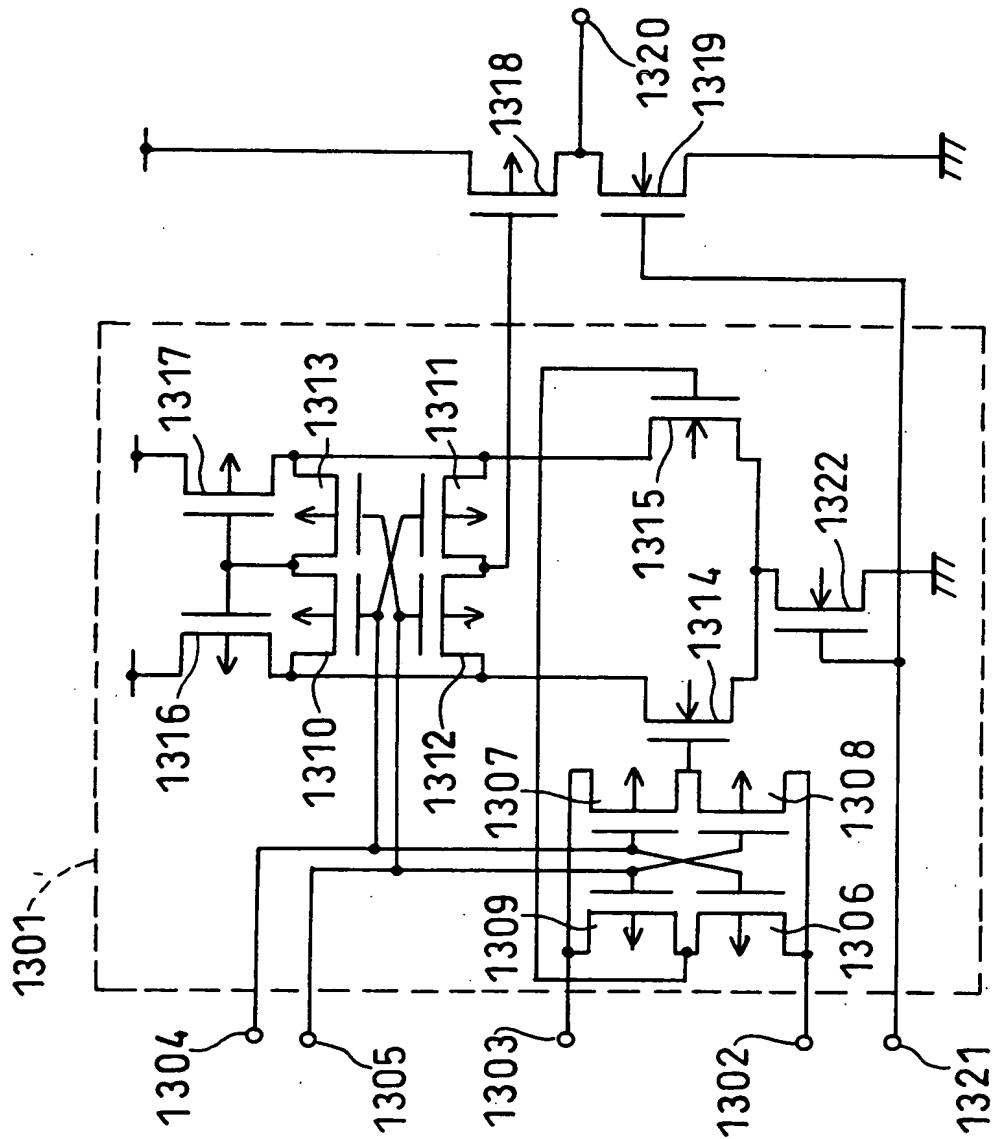
【図 31】



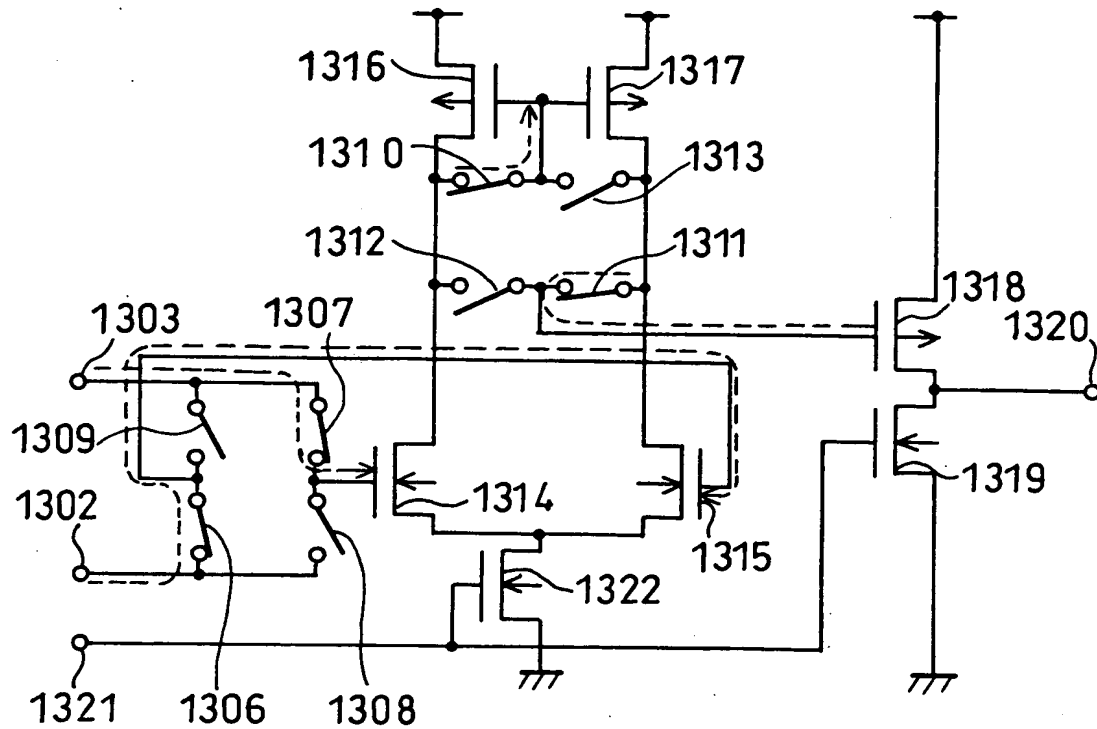
【図 33】



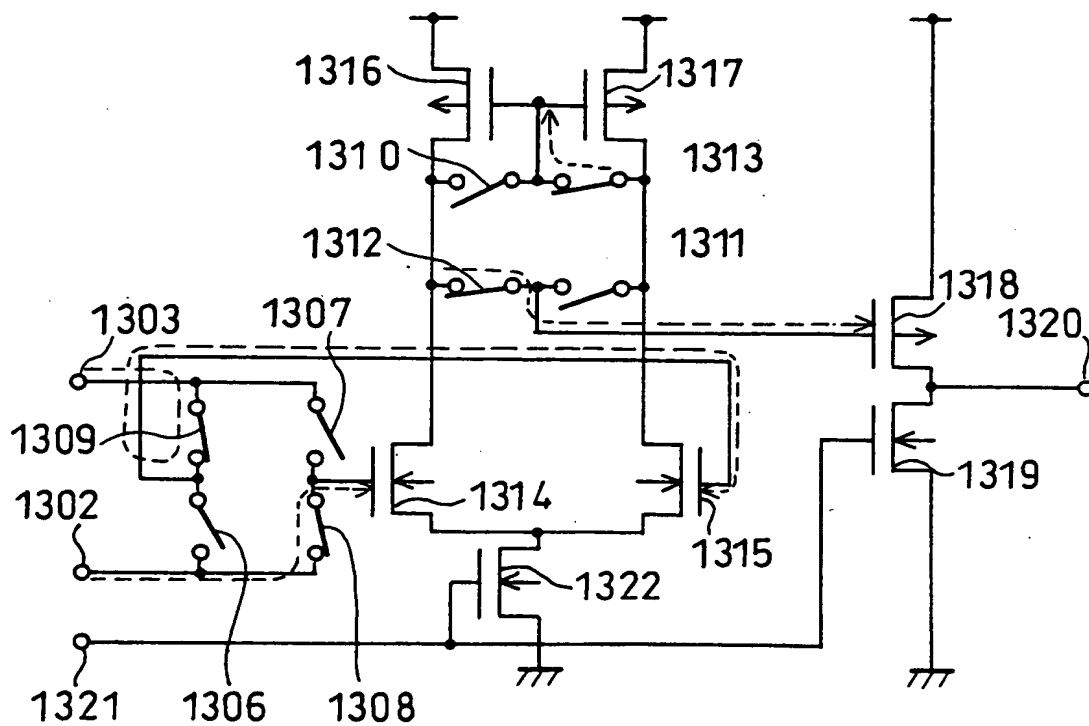
【図 3.4】



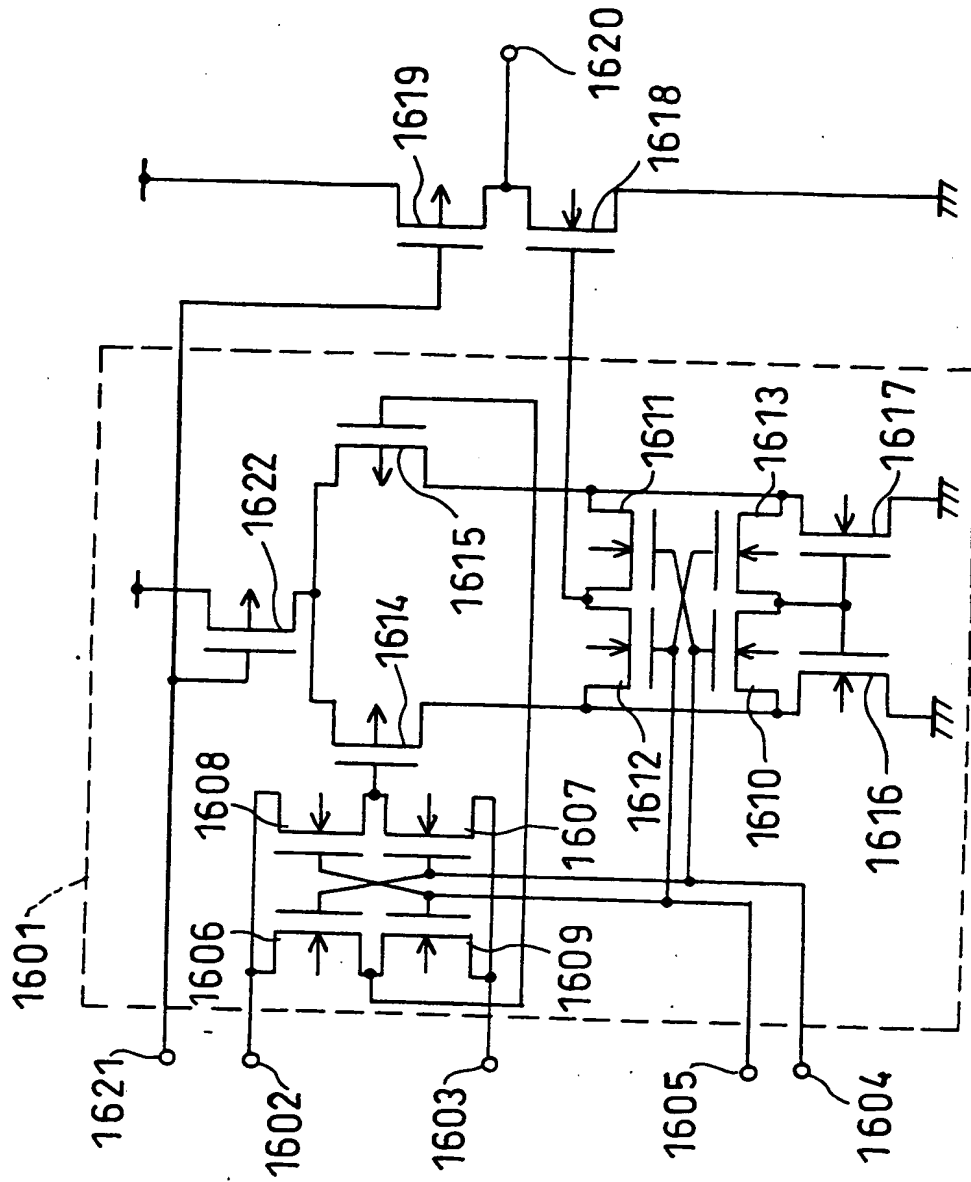
【図 3 5】



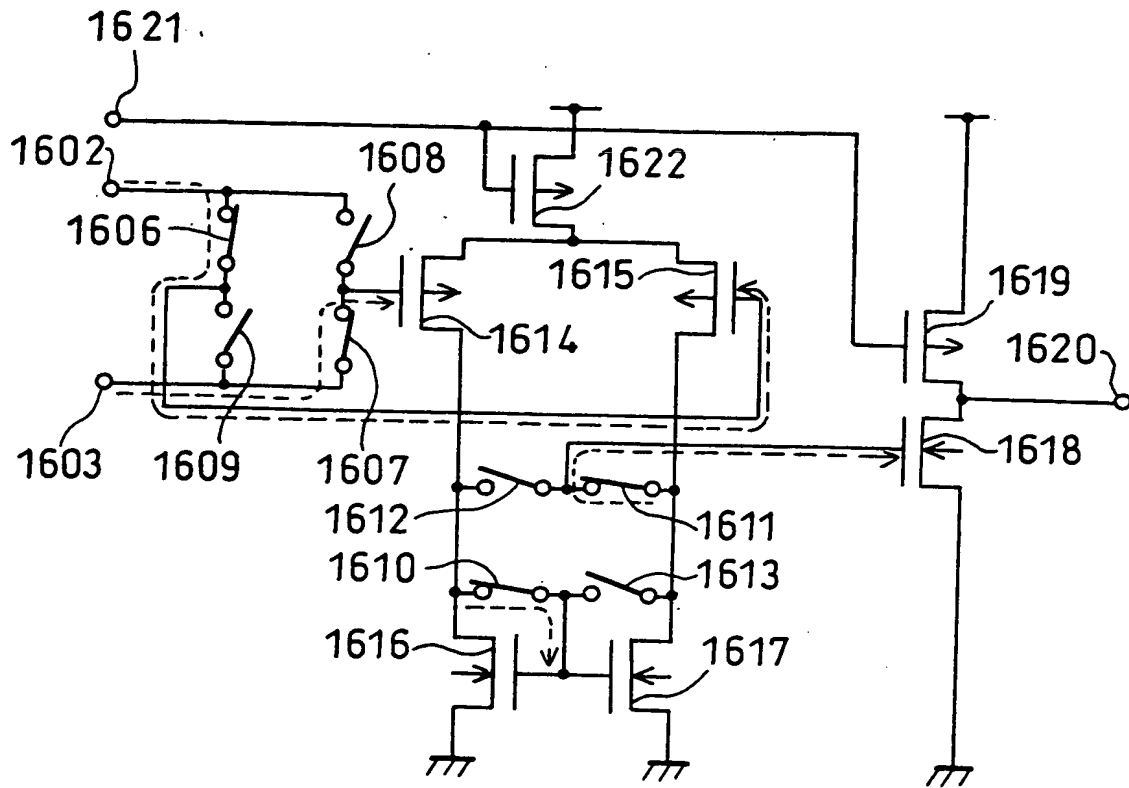
【図 3 6】



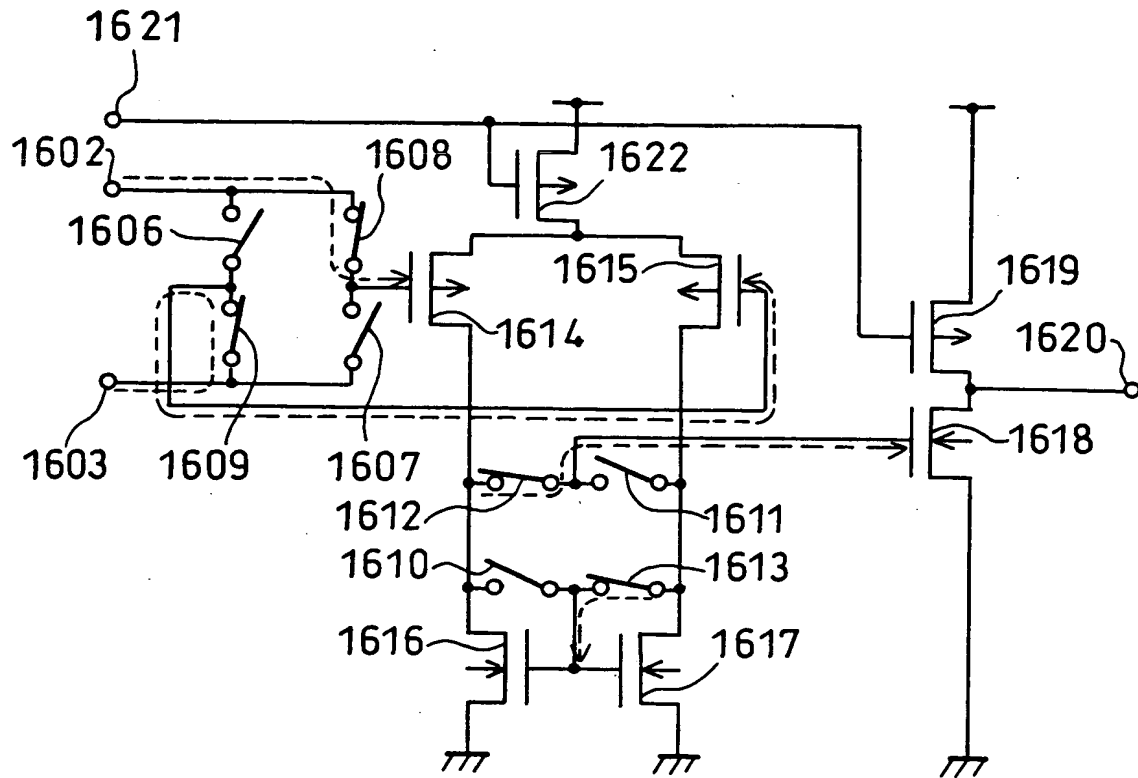
【図 37】



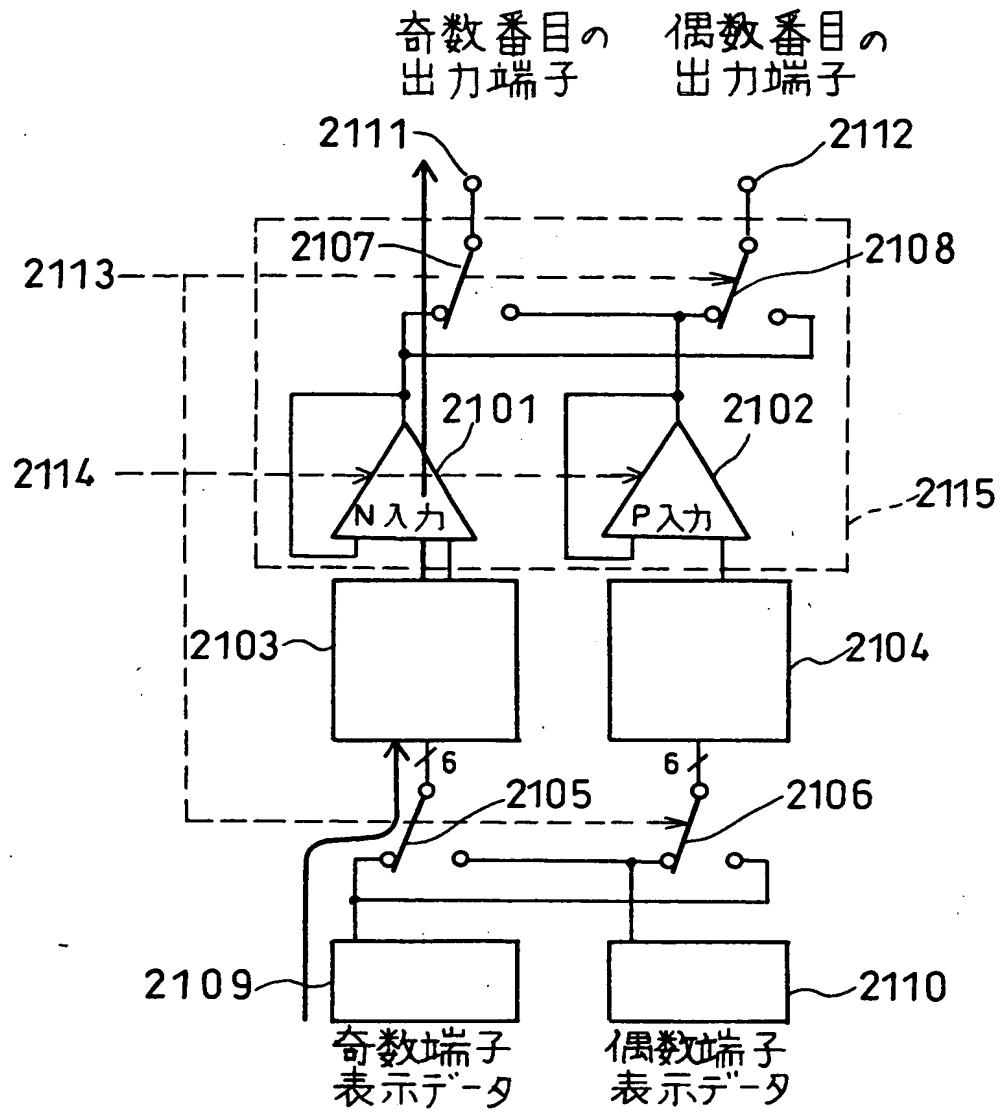
【図 38】



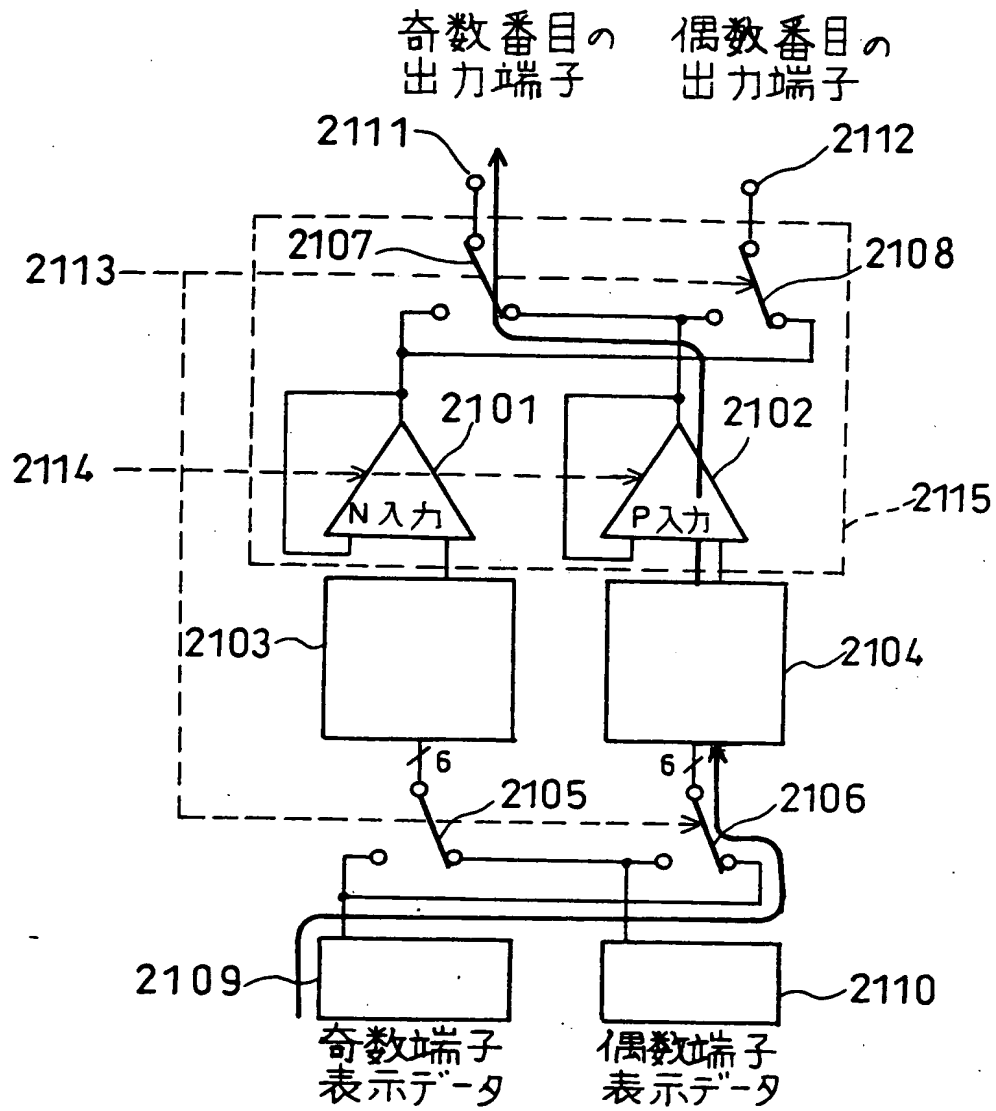
【図 3 9】



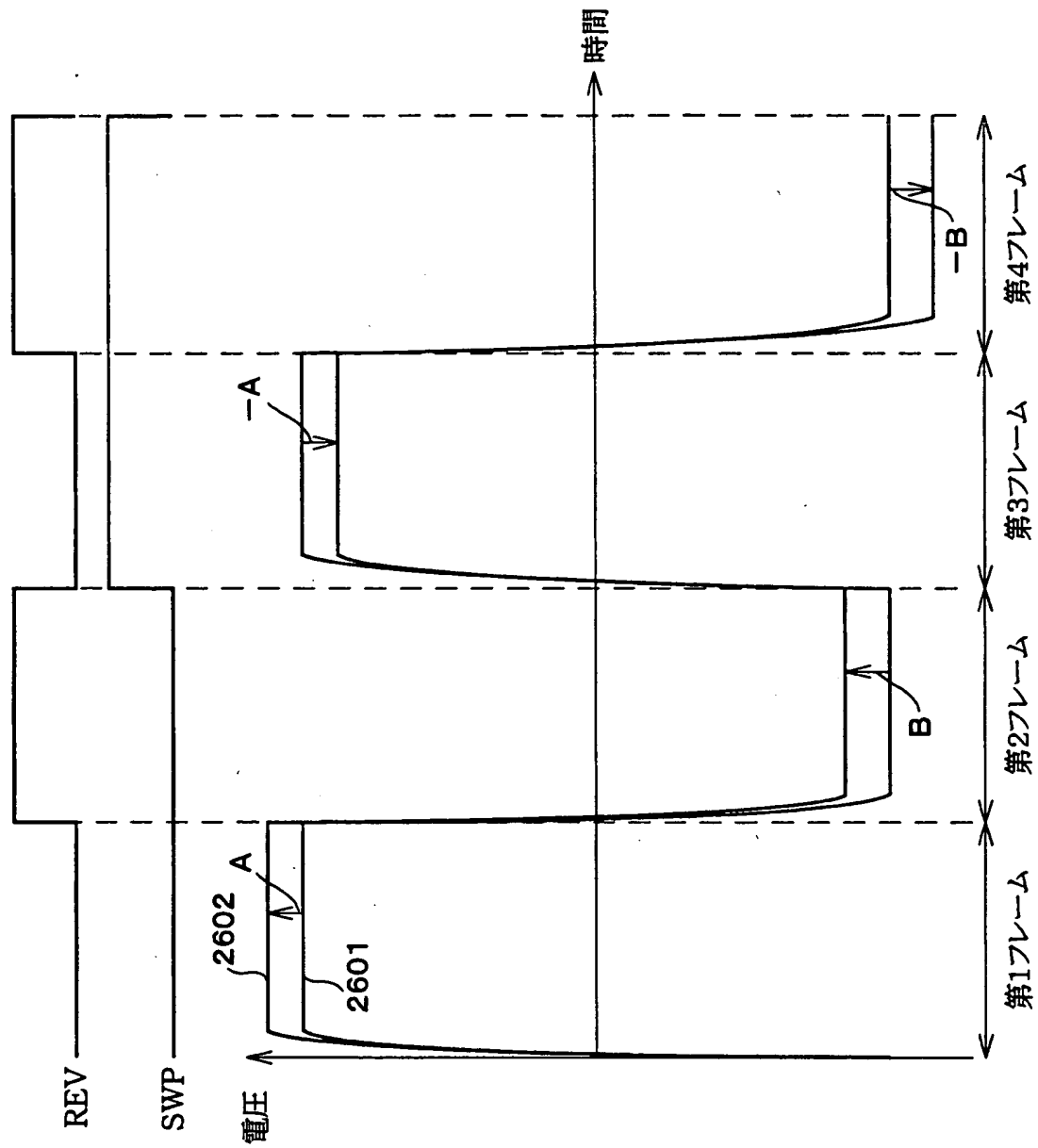
【図 40】



【図 4 1】



【図 4 2】



【書類名】 要約書

【要約】

【課題】 フレーム間でのオフセット電圧の相殺により、人の目に表示むらとして識別されることはなく良質な表示を行うことができる液晶表示装置の駆動装置及び駆動方法を提供する。

【解決手段】 本発明の液晶表示装置の駆動装置は、第 1 及び第 2 増幅回路によって画素に印加されるオフセット電圧が、オペアンプのスイッチ切替信号 S W P 及び交流化スイッチ切替信号入力 R E V に基づいて、所定フレーム数毎に極性が切り替えられると共に、上記所定フレーム数の 2 倍のフレームでキャンセルされるように、第 1 および第 2 増幅回路の入力および出力の各切替の制御を行う切替制御回路 4 4 0 9 を有している。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区长池町22番22号
氏 名 シャープ株式会社